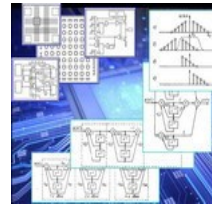




ГОУ ВПО «Алтайский государственный  
университет»

кафедра вычислительной техники и электроники  
Барнаульское специальное конструкторское бюро  
«Восток»



**Сборник статей региональной научно-практической  
конференции  
«СИСТЕМЫ ОБРАБОТКИ СИГНАЛОВ НА БАЗЕ  
ПЛИС И ЦИФРОВЫХ СИГНАЛЬНЫХ  
ПРОЦЕССОРОВ»**

4 мая 2011г.

г. Барнаул

**Аннотация.** Сборник статей по материалам региональной научно-практической конференции «Системы обработки сигналов на базе ПЛИС и цифровых сигнальных процессоров» состоявшейся 4 мая 2011г. на базе ОАО «Барнаульское специальное конструкторское бюро «Восток» посвященной системным, практическим и методическим проблемам применения ПЛИС и сигнальных процессоров.

Организационный комитет конференции:

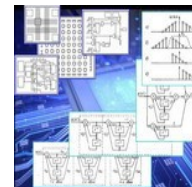
1. Шатохин А.С., к.т.н., проф. зав. кафедры Вычислительной техники и электроники;
2. Савельев С.С., ген. директор ОАО "Барнаульское специальное конструкторское бюро "Восток";
3. Никитин А.В., зам. главного инженера ОАО "Барнаульское специальное конструкторское бюро "Восток";
4. Зацепин П.М., к.ф.-м.н., доц. кафедры Вычислительной техники и электроники, IEEE member;
5. Калачев А.В., к.ф.-м.н., доц. кафедры Вычислительной техники и электроники

## СОДЕРЖАНИЕ

Секция 1 «ПЛИС и ЦСП в системах обработки сигналов».....	4
IP-ЯДРО LEON3 ДЛЯ ПЛИС С.А. Чекмарёв, М.Ю. Вергазов.....	4
ПРИМЕНЕНИЕ ПРОЦЕССОРОВ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ В АВТОМАТИЗИРОВАННОЙ СИСТЕМЕ ТРАМВАЙНЫХ СТРЕЛОЧНЫХ ПЕРЕВОДОВ В.В.Белозерских, Е.А. Козел.....	6
РЕАЛИЗАЦИЯ ПЕРСПЕКТИВНЫХ АЛГОРИТМОВ ПРОГРАММНО-ЗАВИСИМОГО РАДИО НА БАЗЕ ПЛИС XILINX Карпенков А.С.....	10
ОПЫТ ПРИМЕНЕНИЯ ПЛИС В ИССЛЕДОВАТЕЛЬСКОЙ И КОНСТРУКТОРСКОЙ ДЕЯТЕЛЬНОСТИ И.Е. Тарасов .....	16
БЛОК ОБРАБОТКИ СИГНАЛА ДОПЛЕРОВСКОГО СДВИГА ЧАСТОТЫ ЛАЗЕРНОГО ИЗМЕРИТЕЛЯ СКОРОСТИ Станюш А.В.....	22
РЕГИСТРАТОР ПОТОКА ИЗОБРАЖЕНИЙ БЫСТРОПРОТЕКАЮЩИХ ПРОЦЕССОВ НА ОСНОВЕ ПЛИС А.И. Постоев, А.А. Соловьев, В.И. Иордан .....	27
<u>Секция 2 «Техника приема и обработки сигналов».....</u>	<u>33</u>
ЦИФРОВАЯ ОБРАБОТКА ЭТАЛОННЫХ РАДИОСИГНАЛОВ С ИСПОЛЬЗОВАНИЕМ ПЛИС Ю.В. Гришанович.....	33
ШИРОКОПОЛОСНОЕ СОГЛАСУЮЩЕЕ УСТРОЙСТВО ДЛЯ МАГНИТНОЙ АНТЕННЫ К.В. Петренко .....	37
<u>МОНТАЖ <math>\mu</math>MODULE В КОРПУСЕ LGA И НЕКОТОРЫЕ ПРОБЛЕМЫ ПРИ МОНТАЖЕ МНОГОСЛОЙНЫХ ПЕЧАТНЫХ ПЛАТ</u> Т.А. Уфимцева .....	<u>48</u>



Региональная научно-практическая конференция "Системы  
обработки сигналов на базе ПЛИС и цифровых  
сигнальных процессоров "  
Секция 1 «ПЛИС и ЦСП в системах обработки  
сигналов»



**IP-ЯДРО LEON3 ДЛЯ ПЛИС**  
**С.А. Чекмарёв, М.Ю Вергазов**

*«Сибирский государственный аэрокосмический университет имени  
академика М.Ф. Решетнёва», Институт информатики и  
телекоммуникаций, кафедра безопасности информационных технологий.*

LEON3 - это синтезируемая VHDL-модель 32-битного процессора с архитектурой SPARC V8. Процессор гибко конфигурируется и, в частности, подходит для построения систем на кристалле (Рис1). Существует отказоустойчивая версия процессора LEON3-FT. Это позволяет использовать данный процессор в условиях космического пространства. Однако закрытость данного ядра, его цена ставит перед нами задачу разработки своей отказоустойчивой версии процессора LEON3.

Существует проблема нежелательного переключения ячеек памяти в полупроводниковых устройствах, вызванные ионизирующим излучением, имеющая характер одиночных сбоев (SEU), известная как триггерный эффект. В частности этому подвержены программируемые логические интегральные схемы (ПЛИС), так как в них содержится конфигурационная память, пользовательская память и регистры.

Для решения проблемы SEU существует несколько подходов: дублирование данных с применением контрольных сумм, резервирование с применением схемы мажоритирования, применение помехоустойчивого кодирования.

Для обеспечения отказоустойчивости soft-процессора LEON3 мы предлагаем включить в ядро функционал по обнаружению и коррекции ошибок при работе с памятью. Внедрить встроенные средства коррекции

ошибок – в частности, защитить встроенную кэш-память контролем четности и кодами коррекции ошибок.

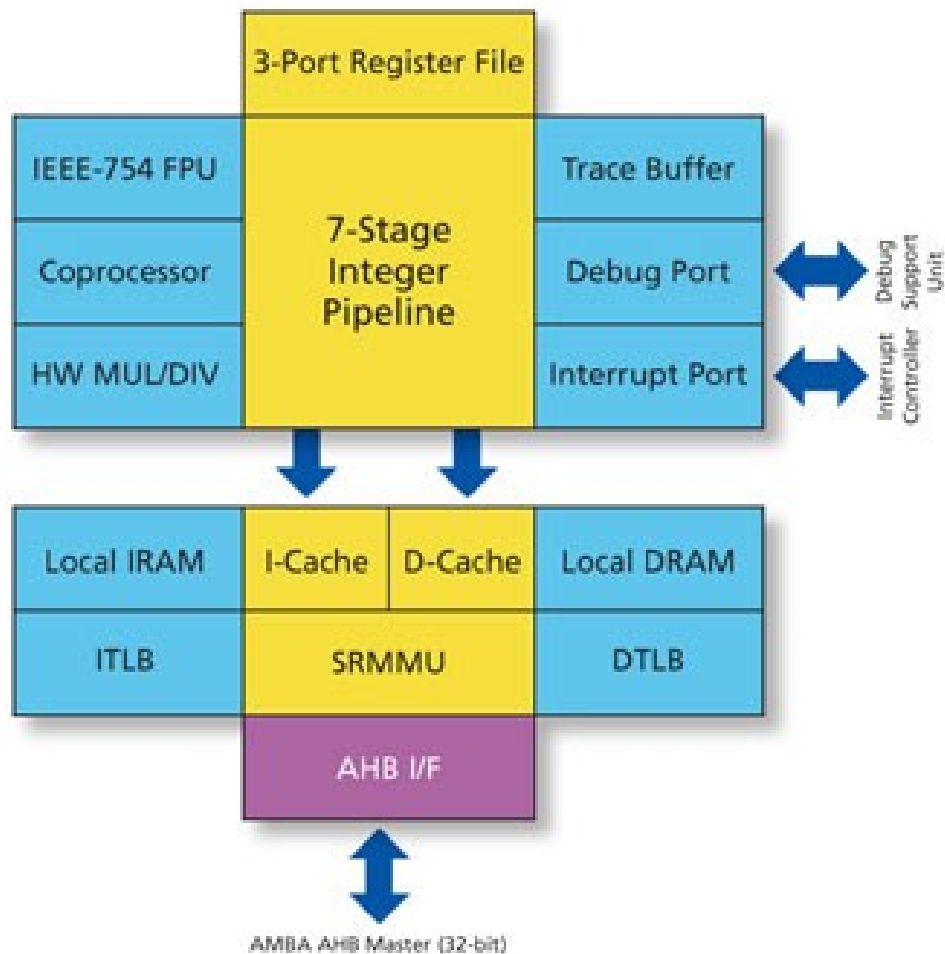


Рисунок. 1 - Процессор LEON3.

На данный момент нами было реализовано дублирование файлового регистра процессора с использованием CRC-кодирования. Кэш-память защищена 4-битным кодом обнаружения ошибок (CRC). Проводится моделирование работы процессора, отладка выполнения программ.

Моделирование выполняется в программе ModelSim. Также для отладки работы процессора используется комплекс GR-RASTA, позволяющий выполнять тестирующие программы и в реальном времени отслеживать состояние работы изменённого процессора.

Планируется реализация модуля помехоустойчивого кодирования Рида-Соломона для осуществления коррекции ошибок в файле регистров. Это повысит отказоустойчивость процессорного ядра LEON3.

**ПРИМЕНЕНИЕ ПРОЦЕССОРОВ ЦИФРОВОЙ ОБРАБОТКИ  
СИГНАЛОВ В АВТОМАТИЗИРОВАННОЙ СИСТЕМЕ  
ТРАМВАЙНЫХ СТРЕЛОЧНЫХ ПЕРЕВОДОВ  
В.В.Белозерских, Е.А. Козел**

*ГОУ ВПО «Алтайский государственный университет»*

Цифровая обработка сигналов (ЦОС) представляет собой одну из наиболее мощных технологий, которая в XXI веке будет определять развитие науки и техники [1]. Сегодня ЦОС является ядром множества видов новейших цифровых разработок различных приложений в информационном обществе (например, мобильная цифровая связь, цифровые видеокамеры, системы звукозаписи). Однако, все же, еще существуют сферы, куда цифровая обработка только начинает внедряться.

Автоматизированная система трамвайных стрелочных переводов, реализованная в 80-х годах прошлого столетия в г.Барнауле, является устройством, построенным на базе аналоговых и цифровых дискретных электронных компонентов. Техническая база с момента ее создания претерпела большие изменения, сделав огромный шаг вперед, и теперь предоставляет колоссальные возможности для модернизации подобных «устаревших» систем. Переход на принципиально новый цифровой технологический уровень позволяет создавать более надежную, стабильную, миниатюрную аппаратуру и технику, с высоким быстродействием и высокой помехозащищенностью.

В условиях современного города уровень индустриальных радиопомех, присутствующих в канале передачи управляющего сигнала, очень велик [2], и, как следствие, высока вероятность ложного срабатывания перевода стрелок, что опасно и для случайных прохожих, и для пассажиров, и для обслуживающего персонала. Поэтому возникла необходимость модернизации, направленной на создание помехоустойчивой системы, позволяющей исключить случаи несанкционированного перевода, а так же

на снижение энергопотребления и материалоемкости, увеличения сроков работы без технического обслуживания.

Принцип действия существующей системы рассмотрен в [3,4]. При необходимости перевода стрелок, водитель, находясь в кабине трамвая, нажатием кнопки активирует передатчик системы, что побуждает генерацию управляющего сигнала с определенной частотой. Этот сигнал по радиоканалу поступает на обработку в станцию, и на электропривод выдается один из двух сигналов запуска двигателя стрелки в ту или иную сторону. Если перевод стрелок не нужен, то кнопка не нажимается.

Данная работа посвящена разработке приемной станции на базе цифрового сигнального процессора (DSP). На вход станции поступает низкочастотный частотно-манипулированный сигнал, передающий кадры закодированной передатчиком битовой последовательности. Частотно-манипулированный сигнал представлен набором частот 12 кГц и 16 кГц.

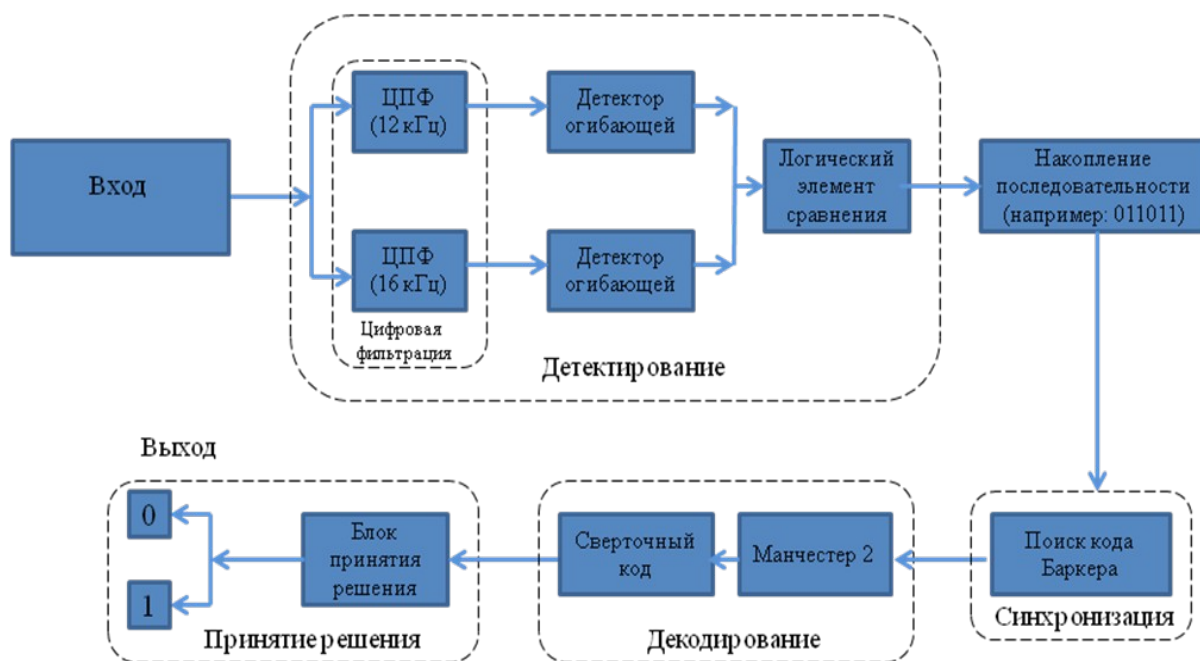


Рисунок. 1 - Схема цифровой обработки сигнала в DSP.

Он подается на фильтр нижних частот, который устраняет высокочастотные составляющие компоненты сигнала. Далее производится

оцифровка и передача для обработки в DSP [5,6]. Схема цифровой обработки представлена на Рис.1.

Первым блоком цифровой обработки является блок детектирования принятого сигнала. Задача детектора — максимально безошибочно демодулировать принятый сигнал. Оптимальная демодуляция некогерентной частотной манипуляции (которая задана передатчиком) осуществляется путем выделения огибающих выходных сигналов фильтров [1,7]. Выходы фильтров сигналов поступают на детекторы огибающей, а затем сравниваются для обнаружения сигнала с пороговым уровнем.

Следующий блок - это блок накопления переданной цифровой последовательности.

Блок синхронизации обеспечивает достоверное обнаружение начала кодовой последовательности. Синхронизирующий код Баркера позволяет определить начало кодовой посылки [2], даже если в принятом цифровом потоке имеются ошибочные биты, появившиеся вследствие наличия помех в радиоканале.

После синхронизации посылка декодируется [8]. Действия декодера приемной станции обратны действиям кодера передатчика. Декодируется самосинхронизирующийся манчестерский код, декодируется сверточный код, которые заданы передатчиком в целях повышения помехозащищенности и устранения влияния ошибок, внесенных радиоканалом. Далее по полученному значению битовой последовательности принимается решение о необходимости перевода стрелки.

Представленная многоуровневая структура обработки информационного сообщения обеспечит надежную защиту от помех, что приведет к снижению аварийных ситуаций на трамвайных путях и повышению безопасности людей. Применение DSP уменьшает затраты энергии, устраняет необходимость в постоянном контроле и частой калибровке. Изменение программного обеспечения для DSP не влечет



аппаратной реорганизации, т. е. система имеет возможность гибкой функциональной настройки на конкретного потребителя.

Таким образом, предлагаемая реализация приемной станции автоматизированной системы трамвайных стрелочных переводов является решением многих вопросов, связанных с безопасностью людей и техническим обслуживанием.

#### ЛИТЕРАТУРА

1. Стивен С. Цифровая обработка сигналов. Практическое руководство для инженеров и научных работников: пер. с англ. – М.: Додэка-XXI, 2008. – 720 с.
2. Баскаков С.И. Радиотехнические цепи и сигналы. – М.: Высшая школа, 1987.
3. Система дистанционного перевода трамвайных стрелок// Техническое описание и инструкция по эксплуатации. – 2008. – С.29.
4. Стрелочный перевод [Электронный ресурс]: сайт содержит информацию о стрелочном переводе – Режим доступа: <http://rrh.agava.ru> – Загл. с экрана.
5. Скляр Б. Цифровая связь. Теоретические основы и практическое применение. – 2-е изд., испр.: Пер. с англ. – М.: Издательский дом «Вильямс». 2003. – 1104 с.
6. Гольндерберг Л.М. Цифровая обработка сигналов. - М.: Радио и связь, 1990. – 256 с.
7. Антонию А. Цифровые фильтры: анализ и проектирование: пер. с англ. В. А. Лексаченко, В. Г. Челпанов. – М.: Радио и связь, 1983. – 320 с.
8. Айфичер, Эммануил С., Джервис, Барри У. Цифровая обработка сигналов: практический подход, 2-е издание.: Пер. с англ. – М.: Издательский дом «Вильямс», 2004.– 992 с.

**РЕАЛИЗАЦИЯ ПЕРСПЕКТИВНЫХ АЛГОРИТМОВ ПРОГРАММНО-ЗАВИСИМОГО РАДИО НА БАЗЕ ПЛИС XILINX**  
**Карпенков А.С.**

*Ковровская государственная технологическая академия им. В.А.  
Дегтярева, кафедра физики*

Для обеспечения лучших массогабаритных показателей, чем у существующих систем программно-зависимого радио, необходимо выбирать аппаратную платформу в рамках технологии «система на кристалле». Представителями данной технологии являются: микросхемы семейства ПЛИС, процессоры цифровой обработки сигналов (DSP) и специализированные для решения конкретной задачи интегральные схемы (ASIC). Использование ПЛИС позволяет на одном кристалле уместить несколько независимых процессоров, независимый блок цифровой фильтрации, контроллеры периферии. Единственным недостатком применения ПЛИС является довольно высокое энергопотребление по сравнению с сигнальными процессорами и большая стоимость. Именно поэтому большей частью ПЛИС используются для прототипирования опытных образцов. При серийном изготовлении проект, разработанный для ПЛИС, можно перенести в ASIC без существенных изменений, что значительно снижает себестоимость конечного продукта.

Архитектура ПЛИС обладает большой гибкостью, на ее базе можно реализовывать распараллеливание операций, что позволяет существенно повысить производительность всей системы. Наиболее типичные примеры такого использования ПЛИС – реализация КИХ-фильтров, быстрого преобразования Фурье, цифрового преобразования с понижением частоты, блоков прямого исправления ошибок, кодеры/декодеры.

В современных системах радиосвязи используется около 200 частотных каналов одновременно (GSM – 124, WiMAX – 192), а современные панорамные анализаторы спектра требуют как можно больше частотных

каналов для анализа спектра. В связи с этим была построена система, принимающая одновременно 320 частотных каналов.

Для реализации программно-зависимого радиоприемника, обеспечивающего одновременный прием 320 частотных каналов необходимо по меньшей мере  $320 \cdot 2 + 2 = 642$  умножителя с накоплением (MAC).

В ходе предыдущих исследований [1, 2] была обоснована необходимость использования вейвлет-преобразования при цифровой обработке радиосигнала. Для одновременной цифровой обработки 320 частотных каналов был разработан модуль (блок *wave* на рисунке 1) на языке VHDL в соответствии с ГОСТ Р 50754-95. Данный модуль выполняет операцию свертки в реальном времени, вычисляет значения фаз и амплитуд отфильтрованных сигналов 320 частотных каналов и передает результаты вычислений по каждому каналу в процессорное ядро.

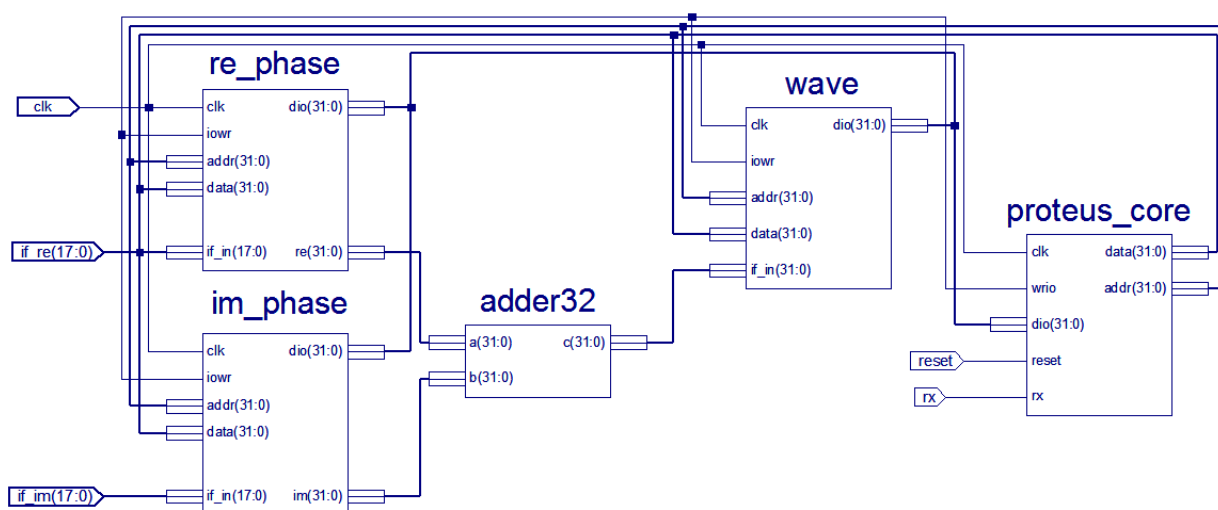


Рисунок. 1 - Схема цифровой части программно-зависимого радиоприемника.

Дополнительные возможности для распараллеливания операций обработки сигнала, оптимального распределения функций на базе ПЛИС обеспечивает возможность реализовывать в них несколько софт-

процессорных ядер. В качестве процессорного ядра использовался форт-процессор proteus.

На основе математической модели программно-зависимого трансивера и схемы цифровой части программно-зависимого радиоприемника (рис. 1) был разработан макетный образец программно-зависимого трансивера, высокоуровневое представление проекта которого, разработанное с использованием САПР System Generator for DSP фирмы Xilinx и среды Simulink САПР Matlab и абстрагированное от конкретной аппаратной платформы, представлено на рисунке 2.

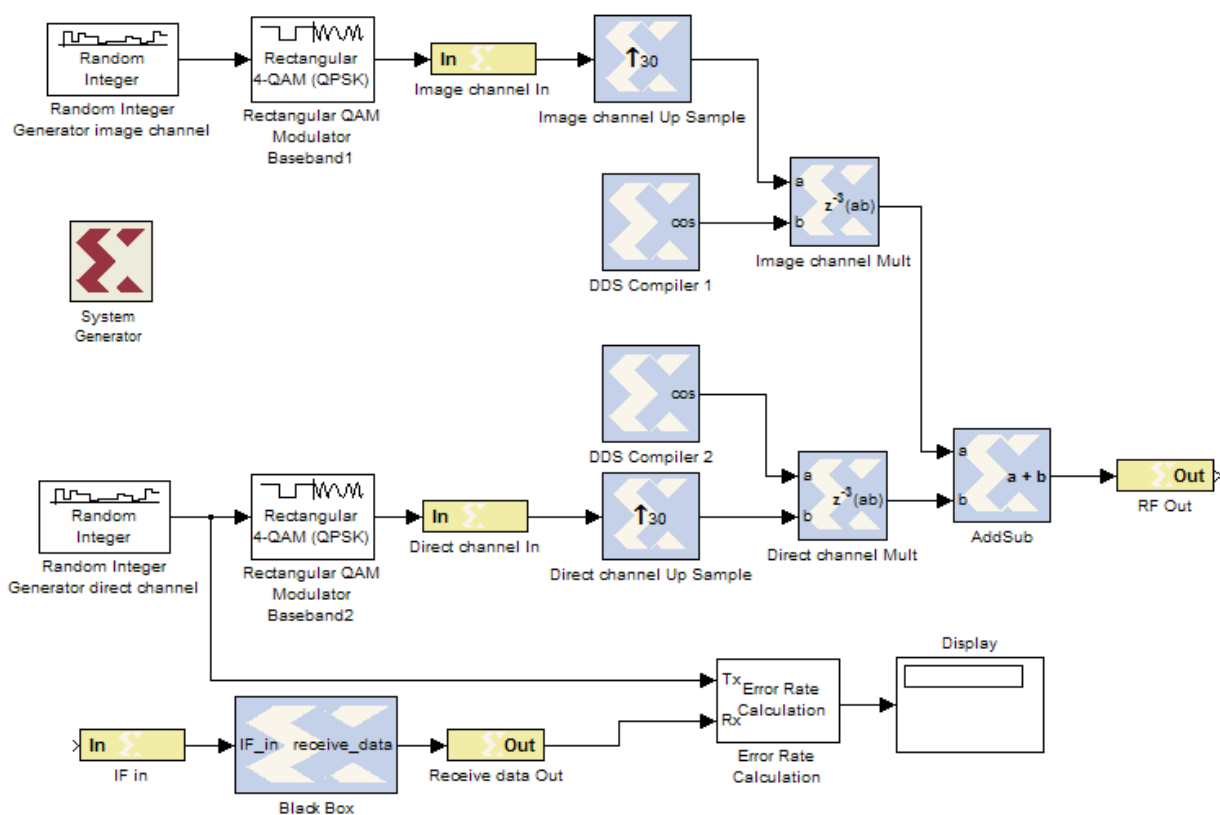


Рисунок. 2 - Высокоуровневое представление проекта программно-зависимого трансивера.

Информационные посылки рабочего и зеркального каналов формируются в блоках «Random Integer Generator direct channel» и «Random Integer Generator image channel» соответственно. Затем они поступают на блоки модуляции «Rectangular QAM Modulator Baseband1» (модуляция 4-KAM) и «Rectangular QAM Modulator Baseband2» (модуляция 4-KAM)

зеркального и рабочего каналов соответственно. Сигналы рабочего и зеркального каналов поступают на входы ПЛИС («Image channel In», «Direct channel In»), где происходит дальнейшее формирование радиосигнала. Внутри ПЛИС сигналы рабочего и зеркального каналов поступают на блоки «Image channel Up Sample», «Direct channel Up Sample», «Image channel Mult», «Direct channel Mult» с целью переноса спектра на частоту несущей радиочастоты. Сигналы несущих радиочастот зеркального и рабочего каналов формируются цифровыми синтезаторами частоты «DDS Compiler 1», «DDS Compiler 2» соответственно. Блок «AddSub» суммирует сигналы рабочего и зеркального каналов. Сигнал суммы зеркального и рабочего каналов с выхода блока «AddSub» поступает на выход ПЛИС «RF Out». Сигнал с выхода ПЛИС поступает на модуль цифро-аналогового преобразователя (ЦАП), осуществляющий преобразование сигнала суммы зеркального и рабочего каналов в аналоговую форму. Затем сигнал суммы зеркального и рабочего радиоканалов в аналоговой форме поступает на вход смесителя, обеспечивающего добавление к входному сигналу аддитивного белого гауссовского шума, сформированного с помощью генератора сигналов AFG3021B. Сигнал суммы зеркального и рабочего радиоканалов с аддитивным белым гауссовым шумом поступает на квадратурный гетеродин и затем на блок АЦП. Сигнал ПЧ в цифровой форме с выхода блока АЦП поступает на вход ПЛИС «IF in». В ПЛИС сигнал ПЧ в цифровой форме поступает на блок «Black Box», схема которого приведена на рисунке 1. В блоке «Black Box» осуществляется фильтрация, подавление зеркального канала и демодуляция сигнала. Принятые информационные посылки поступают на выход ПЛИС «Receive data Out» и передаются на блок «Error Rate Calculation», выполняющий подсчет неправильно принятых посылок и расчет коэффициента битовых ошибок BER.

Результат работы программно-зависимого трансивера, в котором блок «Black Box» реализован по схеме гетеродинного приемника с

фазофильтровым способом подавления зеркального канала, представлен на рисунке 3(а, б).

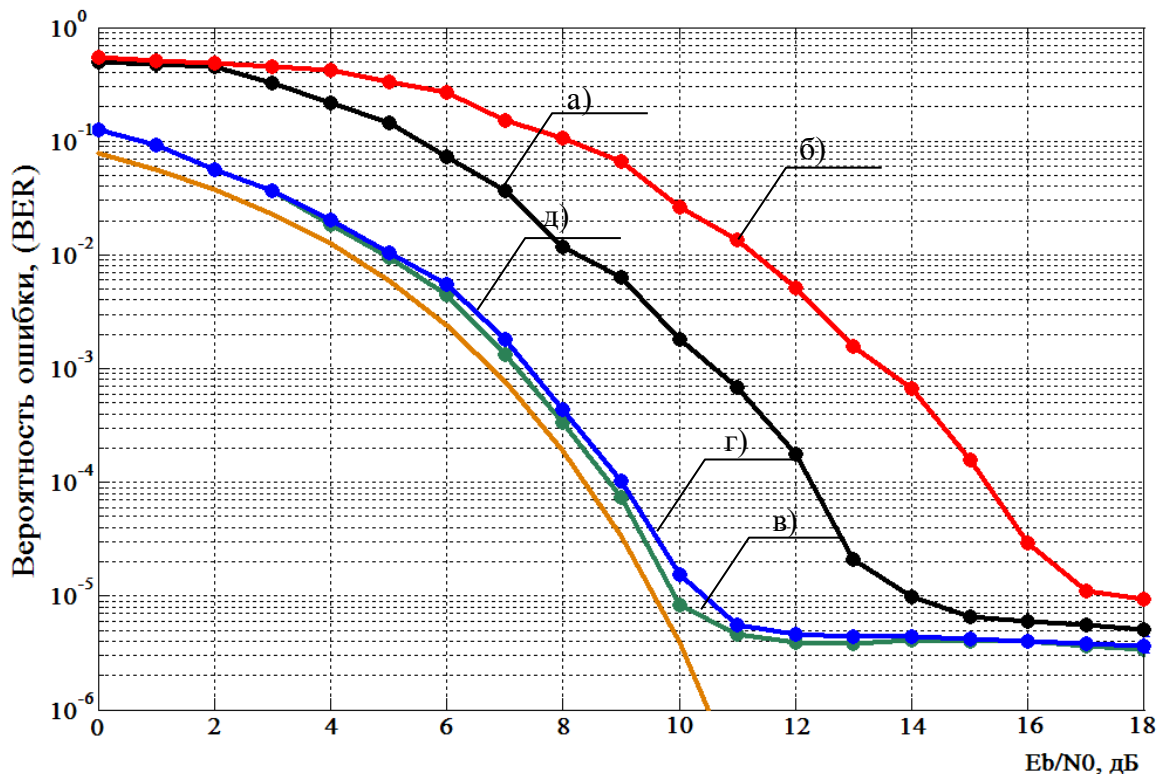


Рисунок. 3 - Вероятность ошибки в зависимости от отношения средней энергии на бит информации к спектральной плотности мощности шума

а) схема гетеродинного приемника с фазофильтровым способом подавления зеркального канала без присутствия помехи в зеркальном канале; б) схема гетеродинного приемника с фазофильтровым способом подавления зеркального канала с присутствием помехи в зеркальном канале; в) предлагаемая схема без присутствия помехи в зеркальном канале; г) предлагаемая схема при наличии помехи в зеркальном канале; д) потенциальная помехоустойчивость для модуляции 4-QAM.

В случае реализации блока «Black Box» по схеме фазового подавления зеркального канала с использованием цифровых ортогональных КИХ фильтров, результат работы программно-зависимого трансивера будет выглядеть, как представлено на рисунке 3(в, г).

Благодаря использованию САПР System Generator for DSP фирмы Xilinx, позволяющая созданную в среде Simulink САПР Matlab математическую модель перенести в ПЛИС, результат физического моделирования (рис. 3)

программно-зависимого трансивера не сильно отличается от результата математического моделирования.

Испытания макетного образца программно-зависимого трансивера проводились путем выполнения натуральных испытаний. Испытания проводились в СВ диапазоне с использованием двух радиостанций Motorola MJ-3031 и Motorola MJ-5501. Со стандартной радиостанции берется сигнал с НЧ выхода, являющийся сигналом ПЧ для программно-зависимого трансивера. Одна из радиостанций использовалась на базовой станции со стандартной стационарной антенной Midland Alan 5/8. Другая рация была установлена в легковой машине и использовалась совместно со стандартной автомобильной антенной СВ диапазона. Мобильный объект осуществлял передачу данных Глонасс/GPS приемника МНП-М1 с помощью мобильного программно-зависимого трансивера. На базовой станции принятые стационарным программно-зависимым трансивером данные отображались на мониторе ПЭВМ. Передача осуществлялась с применением OFDM модуляции (8 частотных каналов).

По результатам испытаний была достигнута дальность устойчивой связи без применения программно-зависимого трансивера на расстоянии в 35км, с применением программно-зависимого трансивера – 60км.

### **Литература**

1. Карпенков, А. С. Подход к расчету целочисленного цифрового селекторного фильтра для программно-зависимого радио с заданной полосой пропускания / А. С. Карпенков // Системы управления и информационные технологии>. - 2009. - № 2.1 (36). - С. 133 - 136.
2. Карпенков, А. С. Использование вейвлет-функции Морле при построении радиоприемников с цифровой обработкой радиосигналов / А. С. Карпенков, Е. П. Тетерин // Информационные технологии моделирования и управления. - 2008. - № 5(48). - С. 593 - 599.

## **ОПЫТ ПРИМЕНЕНИЯ ПЛИС В ИССЛЕДОВАТЕЛЬСКОЙ И КОНСТРУКТОРСКОЙ ДЕЯТЕЛЬНОСТИ**

**И.Е. Тарасов**

*Ковровская государственная технологическая академия им. В.А.*

*Дегтярева, физико-технический факультет*

Использование программируемых логических интегральных схем (ПЛИС) открывает широкие возможности для создания специализированных вычислительных устройств с нестандартной архитектурой в условиях небольших исследовательских и конструкторских организациях. Современные тенденции развития элементной базы ПЛИС с архитектурой FPGA заключаются в постоянном повышении логического объема и производительности вычислений в сочетании со снижением стоимости. Высокая степень интеграции компонентов позволяет разрабатывать устройства класса «Система на кристалле» на базе FPGA, применяя их, в частности, в измерительных устройствах и системах управления сложным оборудованием.

Признанными преимуществами FPGA являются высокая производительность в задачах цифровой обработки сигналах и коммуникационные возможности. Это достигается путем размещения на кристалле большого количества независимых блоков «умножение с накоплением», блоков статической памяти и высокоскоростных приемопередатчиков. В сочетании с конфигурируемыми логическими ячейками такие компоненты позволяют получать производительность от единиц GMAC/s до 6 TMAC/s для FPGA наибольшего объема.

Достаточно высокая стоимость FPGA по сравнению с микроконтроллерами начального уровня обуславливает их применение в таких устройствах, для которых стоимость микроэлектронных комплектующих является второстепенным показателем, а основная часть цены формируется исходя из стоимости разработки и интеллектуальной



собственности. Можно отметить, что такая ситуация представляется привлекательной для исследовательских лабораторий учебных заведений, НИИ и КБ, где существуют условия для организации исследований в области алгоритмов и вычислительных структур. В этом случае относительно высокая стоимость элементной базы не является существенным препятствием, если тираж изделий не высок, а основная часть цены формируется путем обеспечения высоких технических характеристик продукции благодаря эффективным алгоритмам обработки данных.

Фирма Xilinx в настоящее время является ведущим мировым производителем ПЛИС, обеспечивая весь спектр продукции, включая микросхемы, средства проектирования, программирования и отладки. Наличие бесплатных версий САПР позволяет в короткие сроки и с минимальными финансовыми затратами организовать рабочую группу для исследования перспективных алгоритмов и их аппаратной реализации на базе ПЛИС.

Гибкая архитектура и неограниченная реконфигурируемость FPGA позволяет пересмотреть подходы к проектированию высокопроизводительных вычислительных устройств. Ориентация на заказные микросхемы, в частности, процессоры, заставляет отталкиваться от фиксированных вычислительных архитектур и систем команд. Таким образом, разработчики концентрируют свое внимание на обеспечении наиболее эффективного использования имеющейся элементной базы, адаптируя разрабатываемые алгоритмы к программной модели и системе команд используемых процессоров. В отличие от этого, реконфигурируемая элементная база позволяет ориентироваться на адаптацию аппаратного обеспечения к используемым алгоритмам. Однако в этом случае существенно возрастает трудоемкость разработки устройств, поскольку основная часть разработки производится не на языках высокого уровня (для фиксированной аппаратной платформы), а на языках описания аппаратуры, с целью получить оптимальное аппаратное решение для заданного алгоритма. Проектирование

устройств на базе ПЛИС в среднем требует более высокой квалификации разработчика, а также объективно требует большего времени из-за особенностей функционирования САПР ПЛИС. Так, получение конфигурации ПЛИС объемом 50 тыс. логических ячеек может занимать 3-4 часа.

Существующая практика проектирования систем на базе ПЛИС предусматривает активное использование модульного подхода с повторным использованием кода, что находит отражение в таких инструментах проектирования, как Core Generator (набор IP-ядер производства Xilinx и партнеров), System Generator for DSP (пакет для программной среды Matlab, обеспечивающий автоматическую генерацию проекта для ПЛИС, созданного в среде Simulink), Embedded Development Kit (САПР для проектирования систем на базе ПЛИС под управлением софт-процессора Microblaze или аппаратного ядра PowerPC). При использовании перечисленных инструментов оказывается возможным резко снизить трудоемкость добавления в проект стандартной функциональности, поскольку широко распространенные компоненты могут быть добавлены автоматически.

Можно обратить внимание, что САПР EDK предполагает реализацию в ПЛИС управляющего процессора, который, в сочетании с блоками цифровой обработки сигналов и интерфейсами образует систему с высокой степенью интеграции компонентов, вплоть до т.н. СНК («система на кристалле»). В этом случае аппаратный состав разрабатываемой системы может изменяться в рамках только САПР ПЛИС, без необходимости изготовления и монтажа печатной платы, что является существенным преимуществом для исследовательской организации, обладающей штатом квалифицированных разработчиков, но ограниченными производственными возможностями.

Сравнивая диаметрально противоположные подходы, основанные, соответственно, на проектировании в САПР ПЛИС на языках описания аппаратуры, и на сборке системы из готовых IP-ядер под управлением процессора, можно заметить, что существуют и промежуточные подходы.

Первый из них является шагом от HDL-кодирования и заключается в использовании средств описания проекта с более высокими выразительными возможностями, чем основные HDL. К таким средствам можно отнести языки класса «Си в HDL» (Handel-C, Catapult-C, System-C), или язык Colamo, разработанный в НИИ МВС (г. Таганрог) и используемый для программирования суперкомпьютеров серии PBC. Однако работа с такими инструментами не полностью идентична программированию. Второй подход заключается в создании специализированных процессоров, управляющих аппаратными ускорителями. В этом случае основной поток вычислений, преимущественно параллельных, выполняется не процессором, а аппаратными ядрами, создаваемыми на ранних итерациях разработки системы. Роль процессора в такой системе заключается в обеспечении управления вычислительными ядрами, организации передачи параметров, настройке, мониторинге, реализации интерфейсов пользователя, журналирования и т.п. Поэтому при выполнении исследовательских работ можно организовать процесс разработки таким образом, что квалифицированный разработчик ПЛИС будет привлечен к проекту в основном на ранних стадиях, для реализации аппаратных ускорителей. В дальнейшем же разработку сможет производить сотрудник с навыками программирования.

Преимуществом такого подхода является не только снижение трудоемкости путем привлечения сотрудников, не обладающих квалификацией разработчика ПЛИС, но и возможность более эффективного использования аппаратной базы. В методических материалах Xilinx отмечается, что реализация в ПЛИС матрицы процессоров не рекомендуется в качестве магистрального подхода. В этом случае организация вычислений требует дополнительных накладных расходов на выражение требуемых алгоритмов в системе команд используемых процессоров и на организацию передачи данных между отдельными ядрами. Ограниченная пропускная способность системных шин не позволяет в полной мере использовать

вычислительные возможности ПЛИС. Рекомендуемым подходом является организация независимо работающих вычислителей, которые могут быть существенно сильнее связаны друг с другом, обеспечивая передачу данных не через шины процессоров, а через обычные трассировочные ресурсы ПЛИС, с помощью которых можно обеспечить связи любой степени сложности. На рис. 1 показан пример структурной схемы устройства, использующего процессор в качестве вспомогательного элемента, не определяющего производительность системы.

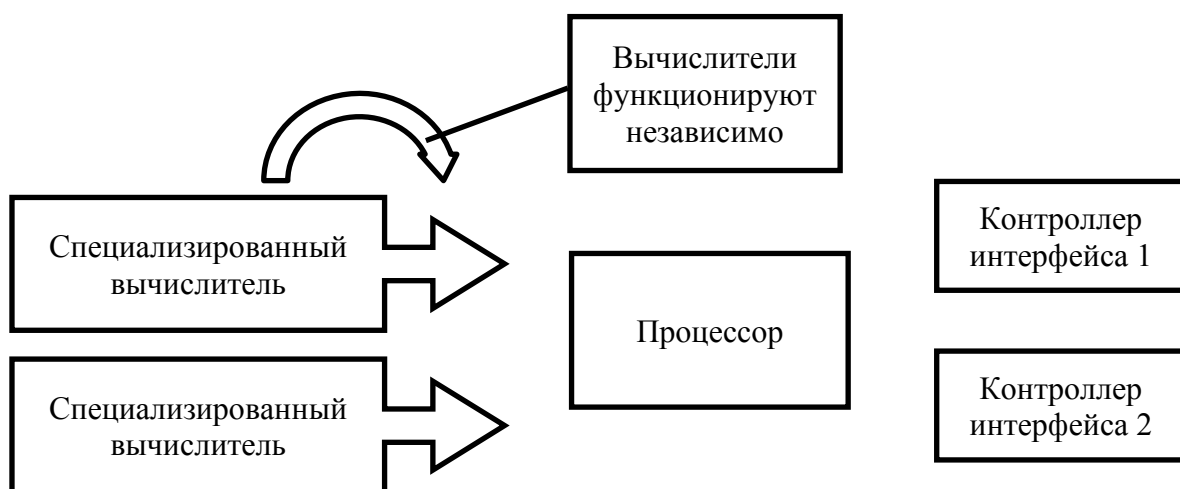


Рисунок. 1 - Структурная схема вычислительного устройства под управлением процессора на базе ПЛИС.

В практике научно-исследовательской и опытно-конструкторской работы кафедры физики КГТА ПЛИС использовались для решения следующих задач:

- аппаратное ускорение вычислений в алгоритмах высокопроизводительной обработки данных (спектральный и вейвлет-анализ, многоканальная цифровая фильтрация);
- создание интеллектуальных датчиков, использующих ресурсоемкие алгоритмы предварительной обработки данных;
- стабилизация параметров в системах автоматизированного управления экспериментом.

Для решения перечисленных задач была разработана серия

процессоров, аппаратно выполняющих команды языка программирования Forth. Главным аргументом в пользу такого решения стала возможность реализации сквозного маршрута проектирования на базе форт-процессоров, включая синтез IP-ядер процессора, системной шины и периферийных устройств для него, а также разработку кросс-компилятора, отладчика и средств загрузки. Немаловажным фактором здесь является и частичная совместимость на уровне исходных текстов между трансляторами Форты для РС и кросс-транслятором для форт-процессора на базе ПЛИС. По сравнению с процессором Microblaze, разработанные форт-процессоры обладают большей (до 2-2,5 раз) плотностью кода, до 40% меньшим размером процессорного ядра и более простой системной шиной, упрощающей подключение периферийных модулей. Такой эффект является следствием базовой вычислительной модели языка Форт, основанную на стековых операциях. Это подразумевает безадресную структуру системы команд, что и позволяет существенно сократить размер командного слова по сравнению с Microblaze.

Устройства на базе форт-процессоров выпускаются ЗАО «НПО «Измерительные системы» (г. Ковров). Результаты исследований использовались в НИР «Research and Training Action in the System-on-Chip Design», выполняемом по заказу Европейской Комиссии в период 2002-2003 гг., а также в ОКР «Разработка архитектуры и основных компонентов унифицированной параметризованной платформы для высокопроизводительных «систем-на-кристалле» шифр 2007-9-2.7-00-01-003 (основание для проведения ОКР - решение Конкурсной комиссии Роснауки № 24 протокол № 6 от 24 августа 2007 г.).

## **БЛОК ОБРАБОТКИ СИГНАЛА ДОПЛЕРОВСКОГО СДВИГА ЧАСТОТЫ ЛАЗЕРНОГО ИЗМЕРИТЕЛЯ СКОРОСТИ Станюш А.В.**

*Ковровская государственная технологическая академия им. В.А. Дегтярева,  
кафедра физики*

Для обработки сигнала доплеровского сдвига частоты лазерного измерителя скорости следует использовать измерительную систему, основанную на процессоре цифровой обработки сигнала [1]. Системы на базе ЦОС позволяют реализовать выделение полезного сигнала без сложных аналоговых схем и легко адаптируются под конкретные задачи путем создания модификаций программного обеспечения [2].

Эффективным подходом в реализации КИХ-фильтра является использование операции умножения с накоплением (МАС). Современные ПЛИС имеют встроенные ресурсы для вычисления операций умножения с накоплением. Так, например, ПЛИС семейства Virtex-5 фирмы Xilinx имеют сотни блоков DSP-48E.

Блок DSP-48E имеет умножитель  $25 \times 18$  и 48 бит аккумулятор. Операцию умножения и суммирования он способен выполнять за один такт и работать на частоте до 550 МГц. Это позволяет строить высокоскоростные КИХ-фильтры. Подобные блоки есть и в других ПЛИС, например Cyclone фирмы Altera.

КИХ-фильтр, представленный на рис. 1 использует всего одно МАС ядро, при этом на проведение фильтрации необходимо количество тактов, равное количеству коэффициентов вейвлет-функции  $N$ . Следовательно, отсчеты должны поступать с частотой  $f = \frac{f_0}{N}$ . Входные данные и коэффициенты вейвлет-функции хранятся в специально-выделенных блоках памяти.

Фильтр, представленный на рис. 1 имеет оптимальную, с точки зрения реализации, структуру, но имеет задержку на длину фильтра. Если необходимо увеличить скорость обработки данных, то необходимо использовать несколько MAC ядер (рис. 1).

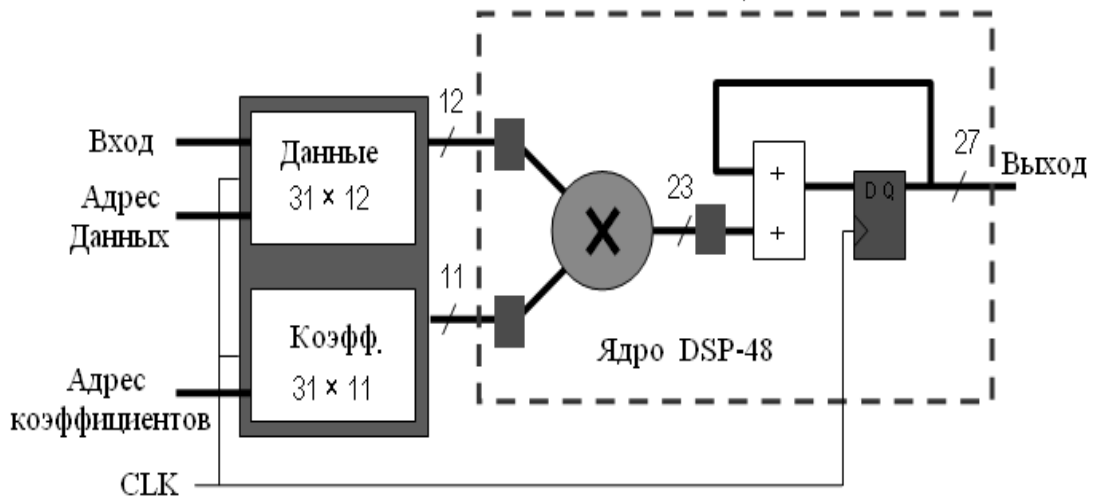


Рисунок. 1 - КИХ-фильтр на основе MAC DSP-48E.

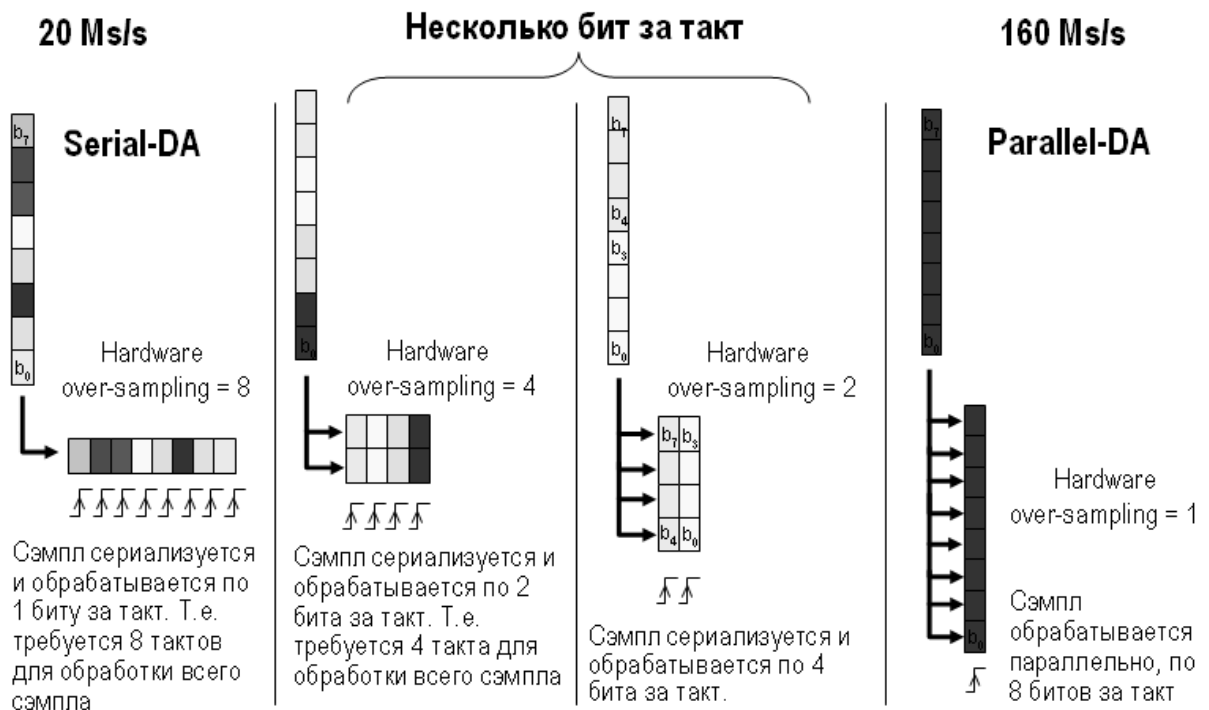


Рисунок. 2 - Различные схемы организации КИХ-фильтра.

Из рис. 2 видно, что если взять количество МАС блоков равное количеству коэффициентов, то можно вычислить всю свертку за один такт. Но в этом случае узким местом будет сумматор.

Вейвлет-преобразование является комплексным, следовательно, для проведения расчета на одной частоте требуется два фильтра с разным набором коэффициентов, выходом которых будет реальная и мнимая часть вейвлет-преобразования.

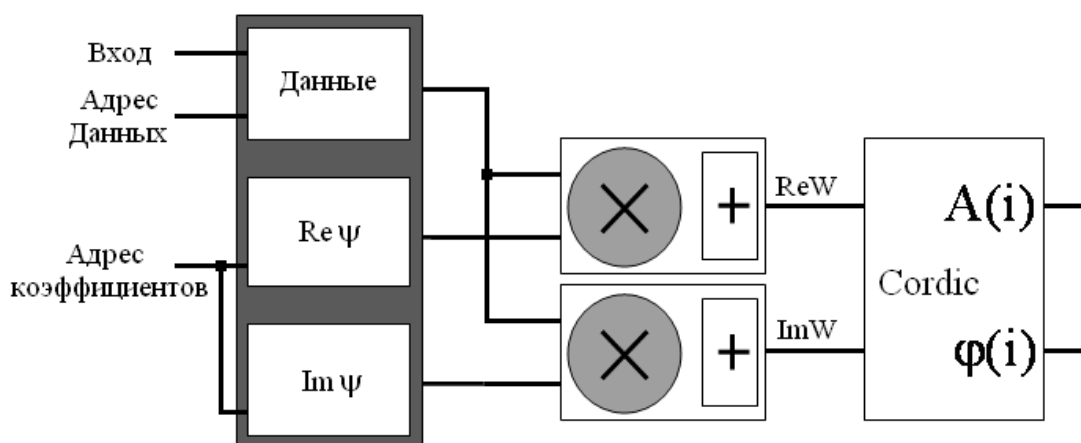


Рисунок. 3 - Структурная схема одного модуля вейвлет-преобразования.

На рис.3 представлена одна структурная единица блока, осуществляющего вейвлет-преобразование. Для определения амплитуды и фазы сигнала в цифровом виде целесообразно использование алгоритмов CORDIC, которые позволяют с приемлемыми аппаратными затратами вычислять целый ряд трансцендентных функций. Рассматривая выполнение в цифровой электронике элементарных арифметических действий, легко заметить, что сложение и вычитание реализуются с весьма небольшими аппаратными затратами. Умножение выполняется серией сложений и сдвигов, т.е. чуть сложнее, а операция деления – серией вычитаний и сдвигов. С точки зрения аппаратной реализации, удобнее всего основывать алгоритмы вычисления функций на операциях сдвига и сложения (вычитания).



Структурная схема блока представлена на рис.4

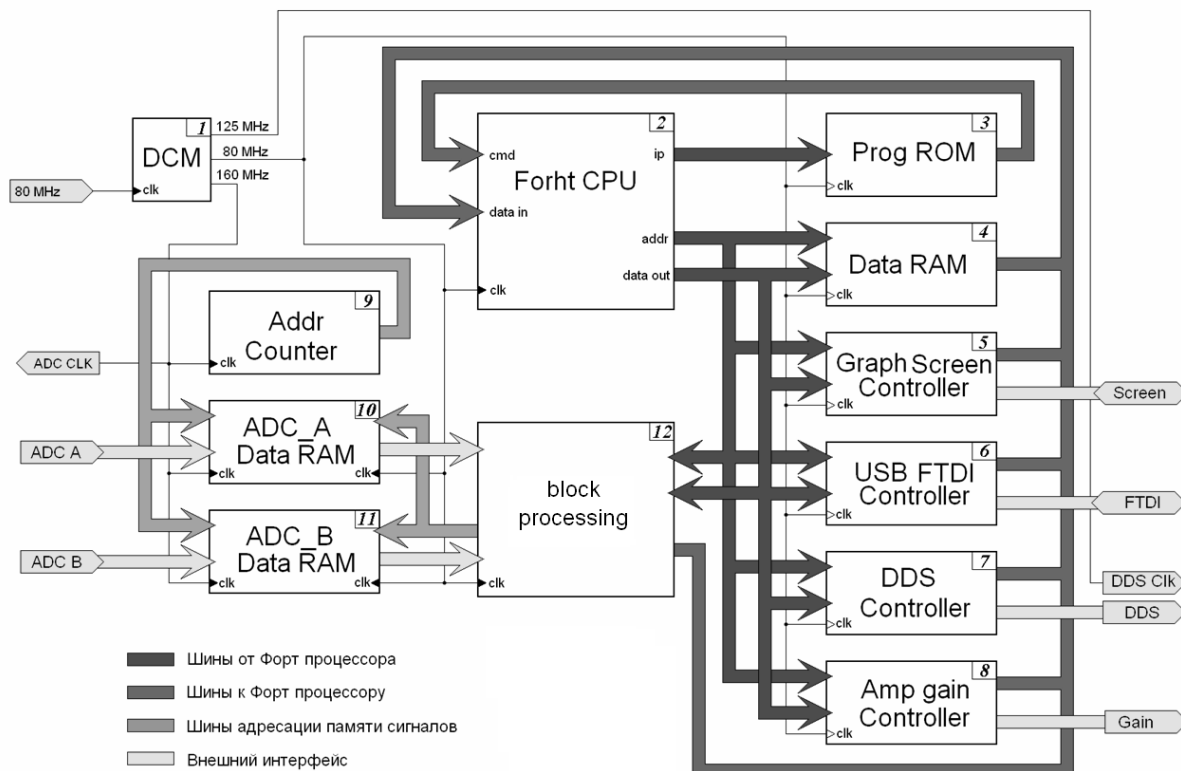


Рисунок. 4 - Конфигурация FPGA.

Блок цифровой обработки сигналов, реализованный на ПЛИС Virtex-5 SX50T фирмы Xilinx, и имеет основные характеристики:

- диапазон измерения доплеровского сдвига частот: 230 Гц – 480 кГц;
- погрешность измерения доплеровского сдвига частоты:  $\leq 0,01\%$ ;
- погрешность вычисления скорости и расстояния (длины)  $0,01\%$ .

Созданный блок обработки пригоден для выделения доплеровского сдвига частоты не только в оптических, но и СВЧ и УЗ измерителях.

В результате использования данной методики при проектировании лазерного измерителя скорости удалось избавиться от недостатков, обусловленных наличием сложной аналоговой части и получить новые качества:

- исключить трудоемкие операции наладки аналоговых фильтров, выполняемые высококвалифицированным персоналом;

- повысить точность обработки доплеровского сигнала в широком диапазоне скоростей и ускорений;
- повысить адаптивность системы.

### **Литература**

1. Звенигородский Э.Г., Каминский Ю.Д. и др. Лазерные и оптические приборы для измерения скорости, расхода и длины-// Приборы. 2005. № 8.
2. Потехин Д.С., Станюш А.В. Метод цифровой обработки сигнала доплеровского сдвига частоты лазерного измерителя скорости// Системы управления и информационные технологии, 2(40), 2010. - С. 64-67

# **РЕГИСТРАТОР ПОТОКА ИЗОБРАЖЕНИЙ БЫСТРОПРОТЕКАЮЩИХ ПРОЦЕССОВ НА ОСНОВЕ ПЛИС**

**А.И. Постоев, А.А. Соловьев, В.И. Иордан**

*ГОУ ВПО «Алтайский государственный университет»*

Исследование теоретическими методами таких быстропротекающих процессов как процесс «самораспространяющегося высокотемпературного синтеза (СВС)» материалов из порошков металлов, процессов плазменного или детонационно-газового напыления (ДГН) порошковых покрытий сопряжено с большими трудностями. Альтернативой такому теоретическому подходу исследования указанных выше процессов может служить цифровая обработка потока изображений различных стадий протекания реакции СВ-синтеза или технологической струи ДГН (либо, например, плазменной струи). Цифровые фотокамеры, основными элементами которых являются современные матричные фотодиодные (ФД) приемники или приемники на основе приборов с зарядовой связью (ПЗС), представляющие собой большие и сверхбольшие интегральные схемы (БИС и СБИС) с внутрикристальным процессором [1], позволяют производить скоростную съемку быстропротекающих процессов (порядка тысячи кадров/с и более). Из таких изображений можно получить большое количество информативных характеристик. Например, в отношении реакции СВ-синтеза появляется возможность исследовать форму и размеры очагов горения, температуру локальных областей реакции (в том числе и сверхадиабатические температуры) и их фазовых состояний [2]. В процессах ДГН характерная скоротечность процессов теплового взрыва и горения может быть зарегистрирована с помощью скоростной съемки быстродействующими цифровыми камерами на основе матричных приемников класса КМОП-ФД СБИС.

В современных условиях требуются быстродействующие фотоприемные СБИС, содержащие более  $10^6$  фоточувствительных элементов, с цифровым 8-10 бит выходом и скоростью вывода более 300 кадров/с. Этим

требованиям удовлетворяет КМОП-ФД различных фирм [1]. В настоящее время разработаны многокамерные системы, позволяющие получать круговой обзор и синтезировать изображение интересующих объектов с высоким разрешением, и многоспектральные системы видимого и ИК-диапазонов, построенные на КМОП-ФД приемниках с узкополосными оптическими фильтрами [1].

Наиболее перспективными в последнее время являются «интеллектуальные» КМОП-ФД матрицы, которые можно разделить на два типа: приемники с внутрикристалльным процессором, позволяющим программировать различные задачи обработки изображения, и приемники с обработкой сигналов в каждом активном элементе. Примером интеллектуальных КМОП-ФД первого типа являются фотоприемные СБИС фирм Siemens и Photobit [1]. Аналоговая обработка сигналов в каждом активном элементе или их группе позволяет выполнять в реальном времени классические методы обработки изображения: сжатие, выделение контуров, точечных целей и т.п. Возможно и создание однокристалльных нейроподобных сетей с оптическим входом, обрабатывающих двухмерные изображения и реализующих функции технического зрения. Основное достоинство КМОП-ФД приемников заключается в возможности создания однокристалльных и многокристалльных цифровых камер с устройствами аналоговой, цифровой и нейроподобной обработки потока изображений [1], т.е. создания интеллектуальных камер, которые в настоящее время и ближайшей перспективе позволят реализовать системы технического и искусственного зрения, сопоставимого по характеристикам с биологическим зрением.

В регистраторе потока изображений, который предлагается в данной работе, используется видеосенсор LUPA-300 компании Cypress Semiconductor Corporation, который сделан на базе CMOS-технологии, а в качестве внешней памяти используются микросхемы энергонезависимой памяти NAND Flash или твердотельные накопители (SSD) в зависимости от

требуемого для видеорегистратора объема памяти. NAND Flash имеет странично-блочную организацию (запись и чтение производится по странице целиком, стирание - поблочно). Благодаря этому достигается большое быстродействие. Твердотельные накопители в свою очередь построены на основе NAND Flash, что говорит об их высоких скоростных характеристиках. Скорости чтения находится на уровне 500 Мбайт/с, а скорость записи доходит до 230 Мбайт/с.

Видеосенсор LUPA-300, который позволяет производить высокоскоростную съемку с достаточно высоким качеством, обладает очень высокой чувствительностью в области видимого спектра, что позволяет производить скоростную видеосъемку практически до инфракрасного диапазона. Видеосенсор имеет формат 1/2 дюйма и позволяет получить частоту 250 кадров в секунду при разрешении 640x480. Режим выборки с уменьшенным разрешением по вертикали при сканировании всей матрицы через строку позволяет производить видеосъемку изображения с частотой 500 кадров в секунду. Значительно увеличить максимальную частоту кадров можно при помощи уменьшения размера области сканирования, то есть при уменьшении количества строк и их длины происходит пропорциональное увеличение частоты сканирования. При области сканирования 320x240 возможно получить 950 кадров в секунду, а для области сканирования 200 x 100 - до 3400 кадров в секунду.

Структурная блок-схема видеосенсора приведена на рисунке 1. Основная часть сенсора состоит из массива пикселей, адресных регистров по X и Y и усилителей по столбцам. Считывание данных с видеосенсора размером 640x480 происходит с помощью последовательного сканирования. Обращаться к матрице видеосенсора можно с помощью последовательного периферийного интерфейса (SPI) с шагами по восемь пикселей в направлении X и по одному пикселю в направлении Y.



Рисунок. 1 - Структурная схема видеосенсора.

Для того, чтобы сигнал вписывался во входной диапазон АЦП, сигнал от столбца усиливают и к нему добавляется смещение с помощью усилителя с программируемым коэффициентом передачи. После этого сигнал поступает на четыре АЦП, которые преобразуют сигнал в цифровую форму. На каждый АЦП приходят данные группой по четыре пикселя. Каждый АЦП считывает сигнал одного из четырех выбранных пикселей. Частота выборки равна 20 МГц. Данные с четырех АЦП поступают через мультиплексор на одну выходную шину, частота которой составляет 80 МГц.

В основе видеорежистратора были выбраны такие компоненты как ПЛИС компании Xilinx, внешняя память на основе NAND Flash. Использование минимального количества микросхем говорит о высокой надёжности и, как следствие, невысокой сложности печатной платы, что даёт этому подходу все преимущества реализации устройства, сохраняя при этом гибкость системы и возможность её быстрой реконфигурации. Именно

гибкость решения на ПЛИС является значительным преимуществом данного решения.

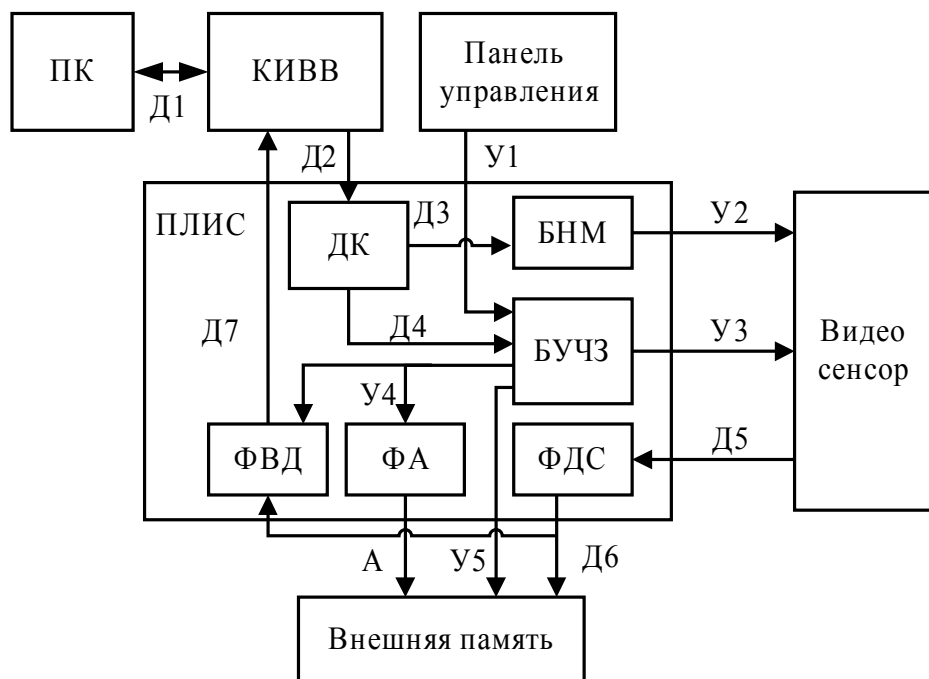


Рисунок. 2 - Функциональная схема видеорегистратора.

Функциональная схема видеорегистратора представлена на рисунке 2. Первоначально производится настройка видеорегистратора. Данные для настройки матрицы с персонального компьютера (ПК) поступают через контроллер интерфейса ввода-вывода (КИВВ) в дешифратор команд. КИВВ используется для сопряжения ПК и видеорегистратора. После дешифрации кода данные поступают в блок настройки матрицы (БНМ), который в свою очередь производит конфигурирование режима работы видеосенсора. БНМ определяет размер области сканирования, частоту кадров, смещение для усилителя с программируемым коэффициентом передачи.

Видеорегистратор имеет два основных режима работы: режим записи регистрируемого изображения и режим чтения информации с устройства. При получении от ПК через КИВВ команды «запись» дешифратором кода передаются данные в блок управления чтением/записью (БУЧЗ). БУЧЗ передает управляющие сигналы в видеосенсор, внешнюю память и в формирователь адреса (ФА), после чего начинается запись регистрируемого

изображения во внешнюю память. БУЧЗ также производит контроль работы видеорегистратора. ФА генерирует последовательность адресов, по которым записываются данные, полученные от формирователя данных сенсора (ФДС). Формирователь данных сенсора приводит поступающую от сенсора информацию к доступному для записи во внешнюю память виду. При получении от ПК через КИВВ команды «чтение» дешифратором кода данные также передаются в БУЧЗ, который формирует управляющие сигналы для внешней памяти и формирователя выходных данных (ФВД). Таким образом, записанные во внешнюю память данные преобразуются ФВД и передаются посредством КИВВ в ПК.

**Вывод.** Дальнейшее развитие технологии и схемотехники СБИС, а также архитектурные решения на основе современных ПЛИС, расширяют возможности по исследованию быстропротекающих процессов напыления покрытий и синтеза новых материалов с улучшенными функциональными характеристиками.

### Литература

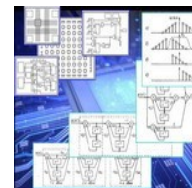
1. Стемповский А.Л., Шилин В.А. КМОП-фотодиодные СБИС – перспективная элементная база однокристалльных систем приёма и обработки изображений // Электроника: наука, технология, бизнес. – 2003. – № 2. – С. 14–20.

2. Иордан В.И, Калачев А.В., Соловьев А.А., Постоев А.И. Применение интеллектуальных матричных приемников класса КМОП-ФД СБИС и ФПЗС для исследования волновой динамики процессов СВ-синтеза и напыления порошковых материалов // Ползуновский альманах, Т.2, 2010.-328 с.- С. 21-24.





Региональная научно-практическая конференция "Системы обработки сигналов на базе ПЛИС и цифровых сигнальных процессоров"  
Секция 2 «Техника приема и обработки сигналов»



## **ЦИФРОВАЯ ОБРАБОТКА ЭТАЛОННЫХ РАДИОСИГНАЛОВ С ИСПОЛЬЗОВАНИЕМ ПЛИС**

**Ю.В. Гришанович**

*ГОУ ВПО Ковровская государственная технологическая академия*

*им. В.А. Дегтярева, кафедра физики*

Эталонные сигналы частоты и времени широко применяются для многих целей науки и техники:

- контроль частоты генераторного оборудования в системах аналоговой и цифровой многоканальной связи;
- сличения частот высокостабильных генераторов (кварцевых и квантовых) по эталонным сигналам частоты и времени, передаваемым радиостанциями государственной службы времени и частоты, в метрологии, связи, навигации и других объектах науки и техники;
- формирование высокостабильных по частоте сигналов, синхронизируемых по эталонным сигналам частоты и времени.

Создание цифровых радиосистем является актуальной проблемой развития современной техники. Цифровые устройства, во-первых, лишены аналоговых цепей и недостатков, связанных с ними; во-вторых, в связи с увеличением производительности цифровых вычислительных систем появляется возможность более широкого применения методов статистической обработки, что позволит на их основе разработать новые алгоритмы обработки сигналов в условиях повышенного уровня шума.

Эталонные стандарты частоты и времени имеют высокую стоимость и большие габариты. Их содержание и обслуживание доступно малочисленным государственным лабораториям и крупным операторам связи, которые могут позволить себе большие затраты на установку первичных эталонных генераторов. Использование цифровой приемника позволит в несколько раз уменьшить размеры генератора, а использование специализированных микросхем уменьшит его стоимость.

Структурная схема такого устройства представлена на рис. 1

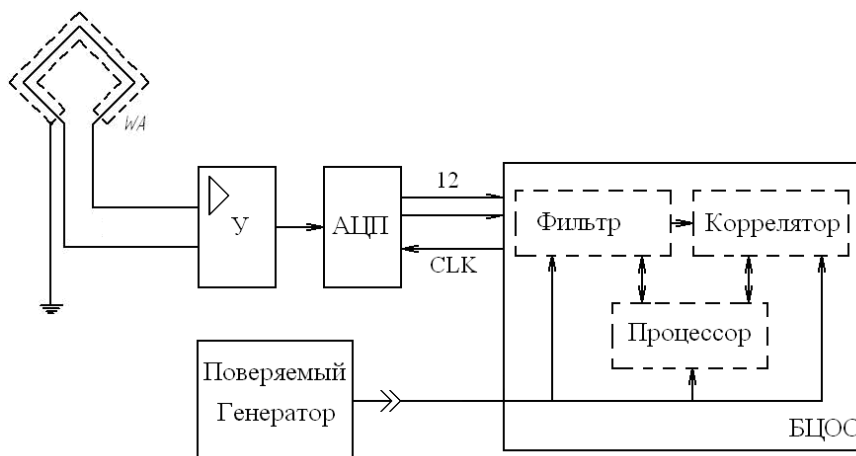


Рисунок. 1 - Структурная схема устройства.

Приемник ЭСЧВ состоит из трех блоков: активной антенны; блока АЦП; блока обработки данных.

Разработка велась с использованием САПР ISE 10.1 фирмы Xilinx, использующий ПЛИС (VIRTEX-4 XC4VSX35, фирма Xilinx). Данная ПЛИС поддерживает электрические интерфейсы ТТЛ и КМОП, число программируемых пользователем выводов 192, что дает возможность гибко реализовать требуемое цифровое устройства в одном корпусе. Возможность переназначения выводов внутри корпуса ПЛИС упрощает топологию печатной платы и за счет этого повышает надежность устройства.

Ввиду малых габаритов печатная плата с установленной ПЛИС обладает повышенной устойчивостью к механическим воздействиям. Важнейшей особенностью, особо отмечаемой производителями ПЛИС, является защита готового изделия от несанкционированного доступа с помощью задания каждой микросхеме уникальных защитных кодов.

Использование ПЛИС в значительной степени упрощает разработку схемы, поскольку позволяет неограниченное число раз реконфигурировать структуру. Кроме того, в состав программного пакета входят модули верификации структуры, отслеживающие схемотехнические ошибки, модуль моделирования временных задержек распространения сигналов внутри

ПЛИС, позволяющий на ранних этапах разработки прогнозировать рабочую частоту схемы, а значит производительность схемы.

Методика расчета коэффициентов целочисленного цифрового фильтра основана на вейвлет-функции Морле, учитывающая параметры принимаемых сигналов (RBU– 66,(6)кГц, MSF– 60 кГц) [1]. В результате было получено, что количество точек вейвлет-функции, лежащей в основе фильтра должно быть равно  $N=37500$ . Такое количество точек обеспечивает отсутствие нулевых коэффициентов на границах, что приводит к улучшению добротности при неизменном порядке фильтра. Техническую реализацию устройств, выполняющих свертку с функциями подобного вида удобнее выполнять с помощью специализированных вычислительных узлов, использующих независимый аппаратный интерфейс к памяти коэффициентов, а также аккумулятор повышенной разрядности.

На рис. 2 представлены характеристики фильтров, с данными коэффициентами. Видно, что высокий порядок анализирующей функции и увеличенная разрядность аккумулятора привели в итоге к получению АЧХ с высоким подавлением в полосе пропускания, что и является приоритетной характеристикой для решаемой задачи.

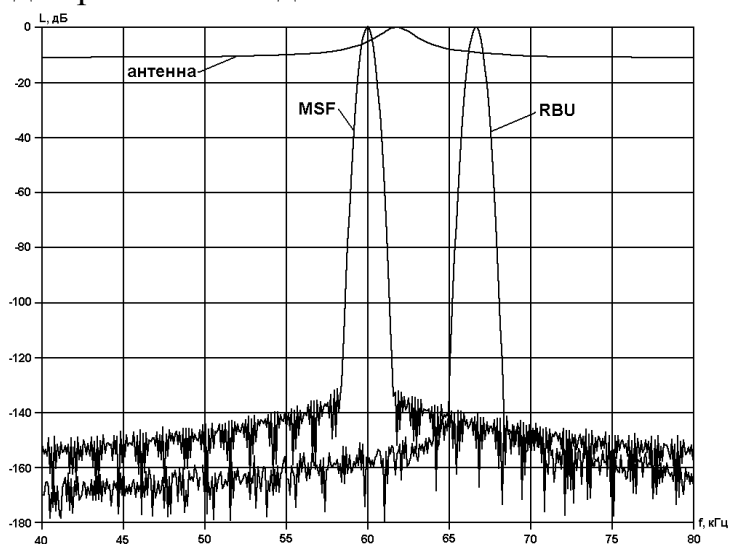


Рисунок. 2 - АЧХ фильтров, используемых при обработке сигналов.

На рис. 3 показаны поведения фазовых набегов стандартов частоты RBU и MSF относительно местного стандарта СЧ-74, снятые за 7 суток с помощью

аналогового приемника-компаратора Ч7-38 (рис.3а) и предлагаемым цифровым приемником (рис.3б) [2].

Как видно, качество приема увеличивается в несколько раз, особенно это заметно для частоты радиостанции MSF (Англия, расстояние между приемниками 2700км).

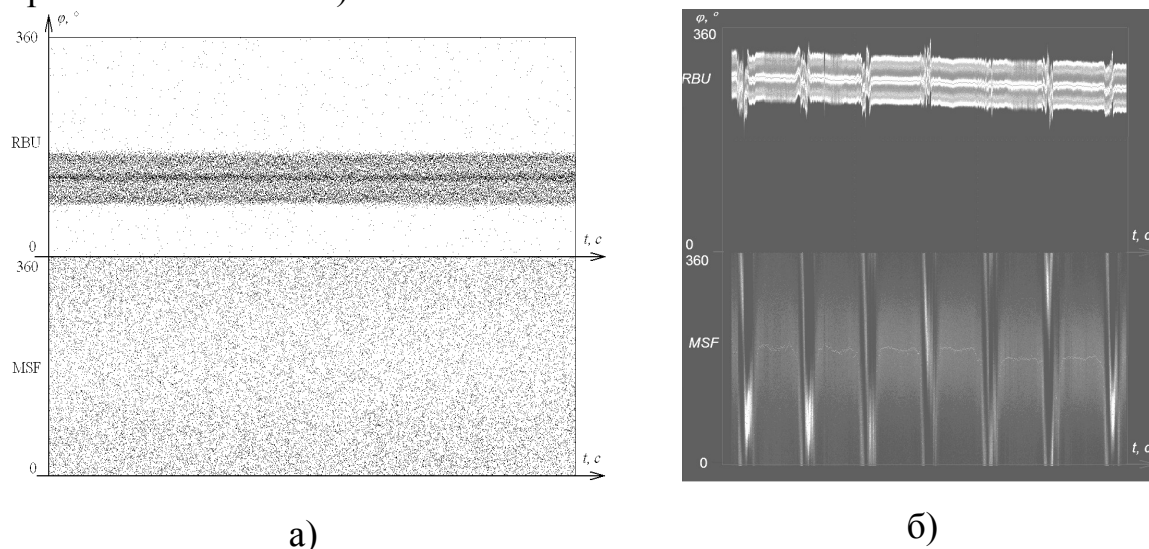


Рисунок.3 - Фазовые набегі стандартов RBU и MSF относительно стандарта СЧ-74:

а) приемник-компаратор Ч7-38; б) цифровой приемник.

Таким образом, использование специализированных цифровых микросхем позволяет применить методики и алгоритмы с большими объемами вычислений, что необходимо для достижения поставленных задач.

### Литература

1. Карпенков, А.С. Методика расчета целочисленного цифрового селекторного нерекурсивного фильтра с заданными добротностью и уровнем подавления / А.С. Карпенков, Ю.В. Гришанович, Д.С. Потехин, Е.П. Тетерин.// Вестник Нижегородского университета им. Н.И. Лобачевского. – 2009. –№6(1) – С.79-85.

2. Гришанович, Ю.В. Построение цифрового приемника эталонных частот с использованием вейвлет-анализа / Ю.В. Гришанович //Системы управления и информационные технологии. – Москва-Воронеж: Научная книга, 2010, №2(40), с.48-51.

**ШИРОКОПОЛОСНОЕ СОГЛАСУЮЩЕЕ УСТРОЙСТВО ДЛЯ  
МАГНИТНОЙ АНТЕННЫ**  
**К.В. Петренко**

*ОАО «Барнаульское специальное конструкторское бюро «Восток»*

*Данная статья посвящена разработке одного из способов построения согласующего устройства, позволяющего в широкой полосе частот скомпенсировать реактивную составляющую импеданса приёмной магнитной антенны и тем самым увеличить уровень сигнала на её выходе.*

Развитие элементной базы в последнее время позволяет создавать системы регистрации и записи сверхширокополосных сигналов. Появление быстродействующих АЦП дало возможность записывать эти сигналы в цифровой форме с последующей их обработкой на ЭВМ с привлечением численных алгоритмов. Такой подход нашёл применение, в частности, в устройствах мониторинга радиоволн декаметрового диапазона, что обусловило потребность в соответствующих широкополосных антеннах. Несмотря на то, что созданию антенной техники всегда уделялось большое внимание, такая постановка задачи содержит значительную новизну и требует дополнительной проработки, так как ранее мониторинг упомянутого диапазона производился обычно методом сканирования либо деления диапазона на небольшие участки, что позволяло обходиться узкополосными согласующими устройствами для антенн. Данная статья посвящена разработке одного из способов построения согласующего устройства, позволяющего в широкой полосе частот скомпенсировать реактивную составляющую импеданса приёмной магнитной антенны и тем самым увеличить уровень сигнала на её выходе, сделав антенну этого типа пригодной для приёма широкополосных сигналов.

В диапазоне частот от 0 Гц до частоты первого собственного резонанса эквивалентную схему магнитной антенны можно с достаточной степенью

точности представить в виде, представленном на рисунке 1.

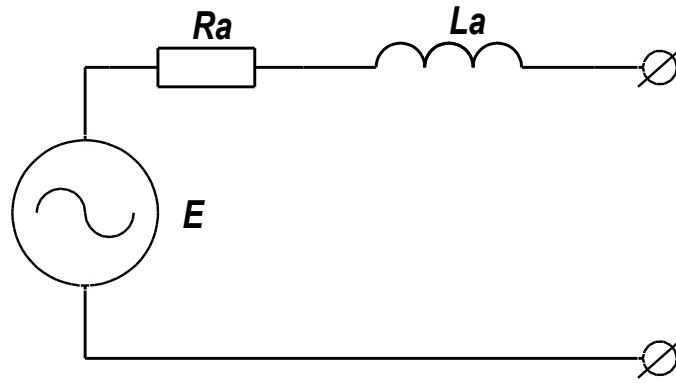


Рисунок 1

Здесь  $R_a$  – активное сопротивление потерь в антенне, которое включает в себя омические потери и потери на излучение. Сопротивление  $R_a$  в общем случае зависит от частоты.  $L_a$  – собственная индуктивность магнитной антенны, которую с достаточной степенью точности можно считать постоянной в указанном диапазоне частот.  $E$  – ЭДС, наводимая в антенне внешним электромагнитным полем. Если к выходу антенны подключается некоторое сопротивление нагрузки  $R_H$ , то имеем следующую эквивалентную схему, представленную на рисунке 2.

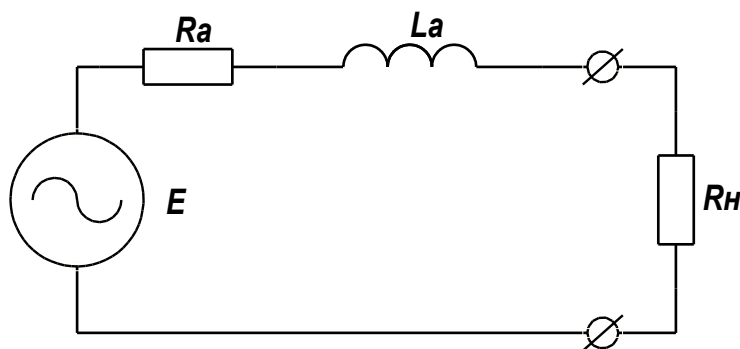


Рисунок 2

В соответствии с законом Фарадея [1], имеем

$$E = - \frac{d\Phi}{dt} . \tag{1}$$

Магнитную составляющую внешнего электромагнитного поля на частоте  $\omega$  можно представить в виде суперпозиции плоских волн [2]:

$$\vec{B} = \sum_j \vec{B}_j \cdot e^{i\vec{k}_j \cdot \vec{r} - i\omega t + i\varphi_j} \quad (2)$$

Тогда для магнитного потока  $\Phi$  плоской рамочной антенны площадью  $S$  получим выражение

$$\begin{aligned} \Phi &= \int_S \left( \sum_j \vec{B}_j \cdot e^{i\vec{k}_j \cdot \vec{r} - i\omega t + i\varphi_j} \right) \cdot d\vec{S} = \\ &= e^{-i\omega t} \sum_j |\vec{B}_j| \cdot e^{i\varphi_j} \cdot \cos(\alpha_j) \cdot \int_S e^{i\vec{k}_j \cdot \vec{r}} \cdot dS \end{aligned} \quad (3)$$

где  $\alpha_j$  - угол между нормалью к рамке и вектором  $\vec{B}_j$ .

Очевидно, что интеграл в формуле (3) зависит от волнового вектора  $\vec{k}_j$  и пространственных характеристик рамочной антенны (её положения в системе координат, формы и площади). Положив линейные размеры антенны много меньшими длины падающей волны, можно упростить формулу (3), так как в этом случае в пределах рамки показатель экспоненты не изменяет существенным образом своего значения. Тогда формула (3) переписется в виде

$$\begin{aligned} \Phi &= e^{-i\omega t} \sum_j |\vec{B}_j| \cdot e^{i\varphi_j} \cdot \cos(\alpha_j) \cdot \int_S e^{i\vec{k}_j \cdot \vec{r}} \cdot dS = \\ &= e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j) \end{aligned} \quad (4)$$

Здесь радиус – вектор  $\vec{r}$  указывает координаты размещения антенны в пространстве. Подставляя (4) в (1) и учитывая, что сумма в (4) содержит члены, медленно изменяющиеся во времени по сравнению с множителем  $e^{-i\omega t}$ , получим

$$\begin{aligned} E &= - \frac{d\Phi}{dt} = - \frac{d}{dt} \left( e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j) \right) \approx \\ &\approx i \cdot \omega \cdot e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j) \end{aligned} \quad (5)$$

Запишем второй закон Кирхгофа для схемы, изображённой на рисунке 2:

$$E = I \cdot (R_a + X_{L_a} + R_H). \quad (6)$$

С другой стороны, напряжение на сопротивлении нагрузки  $R_H$  равно

$$U_H = I \cdot R_H. \quad (7)$$

Выражая из формулы (6) величину  $I$  и подставляя её в формулу (7), получаем:

$$U_H = E \cdot \frac{R_H}{R_a + X_{L_a} + R_H}. \quad (8)$$

Подставляя формулы (5) в формулы (8), имеем:

$$U_H = \frac{i \cdot \omega \cdot R_H \cdot e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j)}{R_a + X_{L_a} + R_H}. \quad (9)$$

В реальных условиях величина  $R_a$  составляет от 10 до 30 Ом,  $R_H \approx 50$  Ом,  $L_a \approx 30 - 50$  мкГн. При этом  $|X_L|(1,5\text{МГц}) = 376$  Ом,  $|X_L|(30\text{МГц}) = 7536$  Ом. Очевидно, что в знаменателе членами  $R_a$  и  $R_H$  можно пренебречь по сравнению с членом  $X_{L_a}$ . Подставляя в (9) известное соотношение  $X_{L_a} = i \cdot \omega \cdot L$  и пренебрегая  $R_a$  и  $R_H$ , получим:

$$U_H = \frac{i \cdot \omega \cdot R_H \cdot e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j)}{i \cdot \omega \cdot L_a} =$$

$$= \frac{R_H \cdot e^{-i\omega t} \cdot S \cdot \sum_j |\vec{B}_j| \cdot e^{i\vec{k}_j \cdot \vec{r} + i\varphi_j} \cdot \cos(\alpha_j)}{L_a}. \quad (10)$$

Разделив и умножив числитель в формуле (10) на  $e^{i\vec{k}_1 \cdot \vec{r} + i\varphi_1}$  и вычисляя абсолютное значение от обеих частей этого соотношения, получим выражение для амплитудного значения напряжения на нагрузке



$$|U_H| = \frac{R_H \cdot S \cdot \left| \sum_j |\vec{B}_j| \cdot e^{i(\vec{k}_j \cdot \vec{r} - \vec{k}_1 \cdot \vec{r}) + i(\varphi_j - \varphi_1)} \cdot \cos(\alpha_j) \right|}{L_a} \quad (11)$$

Из выражения (11) следует, что величина напряжения на нагрузке антенны зависит от сопротивления нагрузки, площади рамки, её ориентации относительно векторов магнитной индукции проходящих волн, разности фаз различных лучей падающей электромагнитной волны, но не зависит от частоты этой волны.

Очевидно, что в данном случае имеется равномерная амплитудно – частотная характеристика, что является положительной стороной магнитных антенн, однако величина сигнала на нагрузке сильно снижена за счёт большой собственной индуктивности магнитной рамки, что является нежелательным эффектом.

Скомпенсировать собственную индуктивность магнитной антенны в широкой полосе частот можно, дополнив её эквивалентную схему до схемы фильтра нижних частот. Как известно, ФНЧ в полосе пропускания ведут себя как обычные линии задержки с определённым волновым сопротивлением, имеющим активный характер. Для того чтобы дополнить эквивалентную схему антенны до Т – образного звена ФНЧ, требуется добавить один внешний конденсатор и одну катушку индуктивности, как показано на рисунке 3.

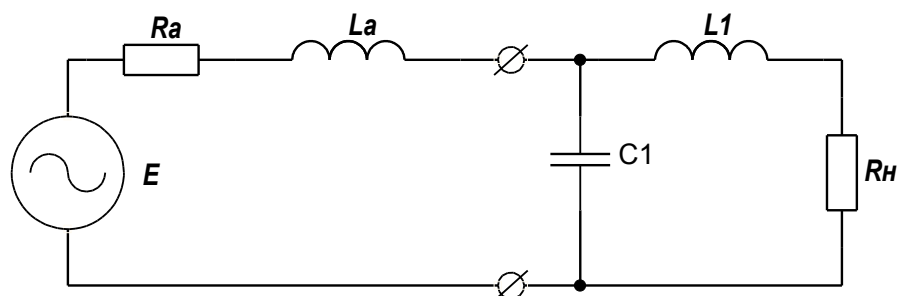


Рисунок 3

При этом должны выполняться соотношения

$$L1 = L_a, \quad (12)$$

$$L1 \cdot C1 \leq \frac{1}{\omega_{\max}^2}, \quad (13)$$

где  $\omega_{\max}$  - максимальная частота рабочего диапазона.

Волновое сопротивление получившейся линии задержки будет выражаться формулой

$$Z = \sqrt{\frac{2 \cdot L_a}{C1}}. \quad (14)$$

Для обеспечения нормальной работы ФНЧ и получения равномерной АЧХ необходимо также выполнение соотношения

$$R_H = Z. \quad (15)$$

Выражения (12), (13), (14) и (15) полностью определяют значения элементов согласующего устройства. При этом следует заметить, что вычисленное значение  $R_H$  может не совпадать с входным сопротивлением приёмника, вследствие чего на выходе согласующего устройства придётся ставить трансформатор. Кроме того, известно, что более равномерной амплитудно – частотной характеристикой обладают ФНЧ, состоящие из чётного количества звеньев. С учётом сказанного, схема изменится следующим образом и будет выглядеть в соответствии с рисунком 4.

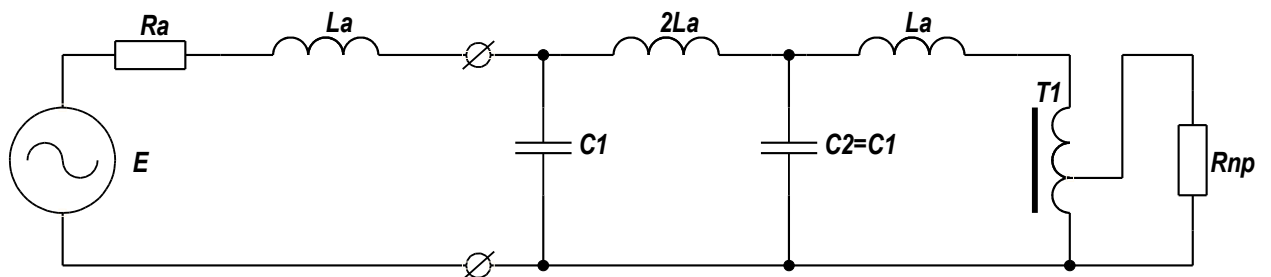


Рисунок 4

При этом

$$R_{np} = K^2 \cdot R_H, \quad (16)$$

где  $K$  - коэффициент трансформации по напряжению.

Определим реальное значение ёмкости  $C1$ , воспользовавшись соотношениями (12) и (13) и задавшись значениями  $L_a = 50 \text{ мкГн}$ ,  $\omega_{\text{max}} = 2 \cdot \pi \cdot 30 \text{ МГц}$ :

$$C1 \leq \frac{1}{L_a \cdot \omega_{\text{max}}^2} \approx \frac{1}{5 \cdot 10^{-5} \text{ Гн} \cdot (2 \cdot 3,14 \cdot 30 \cdot 10^6 \text{ Гц})^2} \approx 5,6 \cdot 10^{-13} \text{ Ф} = 0,56 \text{ пФ}.$$

Очевидно, что такая ёмкость сравнима с ёмкостью монтажа и не может быть реализована. Поэтому в данной ситуации целесообразно перенести трансформатор на вход согласующего устройства и тем самым, сначала преобразовать импеданс антенны к необходимому значению, а затем скомпенсировать его реактивную составляющую, дополнив эквивалентную схему антенны до схемы ФНЧ, как изложено выше. Тогда схема согласующего устройства ещё раз преобразуется, а общая схема примет вид, представленный на рисунке 5.

При этом согласующее устройство подключается непосредственно к выходу антенны, а  $R_{\text{пр}}$  подключается к выходу согласующего устройства через некоторый фидер, согласованный с  $R_{\text{пр}}$ . Очевидно, что номиналы соответствующих элементов для схем, в соответствии с рисунками 4 и 5, будут различаться.

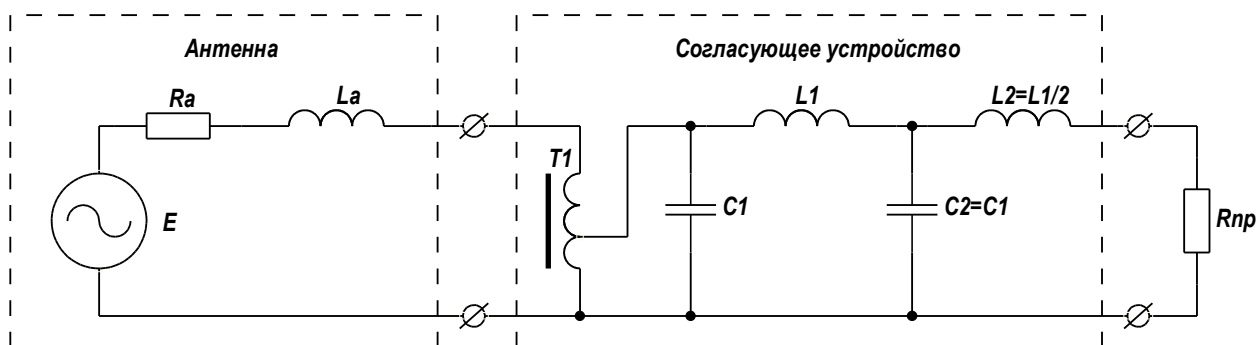


Рисунок 5

Напишем соотношения для расчёта параметров элементов схемы, приведенной на рисунке 5. Из правила преобразования импедансов и структурной схемы ФНЧ следует:

$$L_a \cdot K^2 = \frac{L1}{2}. \quad (17)$$

Условие, накладываемое на верхнюю границу рабочего диапазона, аналогично формуле (13), запишется в виде

$$\frac{L1}{2} \cdot C1 \leq \frac{1}{\omega_{\max}^2}. \quad (18)$$

Требование согласования ФНЧ с входным сопротивлением приёмника выразится соотношением

$$\sqrt{\frac{L1}{C1}} = R_{\text{пр}}. \quad (19)$$

Для того, чтобы получить выражения для  $L1$ ,  $C1$  и  $K$  в явном виде, сначала выразим из соотношения (19)  $L1$ :

$$L1 = C1 \cdot R_{\text{пр}}^2. \quad (20)$$

Теперь подставим (20) в (18):

$$C1 \leq \frac{2}{C1 \cdot R_{\text{пр}}^2 \cdot \omega_{\max}^2}. \quad (21)$$

Отсюда имеем

$$C1 \leq \frac{\sqrt{2}}{R_{\text{пр}} \cdot \omega_{\max}}. \quad (22)$$

Из (17) следует:

$$K = \sqrt{\frac{L1}{2 \cdot L_a}}. \quad (23)$$

Соотношения (20), (22) и (23) определяют алгоритм расчёта согласующего устройства. Сначала в соответствии с (22) производится выбор значения  $C1$ , затем из (20) вычисляется  $L1$  и, наконец, из (23) определяется

коэффициент трансформации  $K$ . Задавшись значениями  $L_a = 50 \text{ мкГн}$ ,  $\omega_{\max} = 2 \cdot \pi \cdot 30 \text{ МГц}$ ,  $R_{\text{пр}} = 50 \text{ Ом}$ , рассчитаем согласующее устройство.

Из (22) имеем

$$C1 \leq \frac{\sqrt{2}}{R_{\text{пр}} \cdot \omega_{\max}} = \frac{\sqrt{2}}{50 \text{ Ом} \cdot 2 \cdot 3,14 \cdot 30 \cdot 10^6 \text{ Гц}} \approx 1,5 \cdot 10^{-10} \text{ Ф} = 150 \text{ пФ}.$$

Примем  $C1 = 150 \text{ пФ}$ . Из (20) вычислим  $L1$ :

$$L1 = C1 \cdot R_{\text{пр}}^2 = 1,5 \cdot 10^{-10} \text{ Ф} \cdot (50 \text{ Ом})^2 = 3,75 \cdot 10^{-7} = 0,375 \text{ мкГн}.$$

И, наконец, из (23) получим:

$$K = \sqrt{\frac{L1}{2 \cdot L_a}} = \sqrt{\frac{3,75 \cdot 10^{-7} \text{ Гн}}{2 \cdot 50 \cdot 10^{-6} \text{ Гн}}} \approx 0,061 \approx \frac{1}{16}.$$

Как видно из полученных значений номиналов элементов, реализовать такую схему вполне возможно, что свидетельствует о практичности предлагаемого варианта построения и способа расчёта широкополосного согласующего устройства. Кроме того, реализация устройства на основе фильтра нижних частот позволяет дополнительно уменьшить мешающий внеполосный сигнал на входе приёмника и тем самым увеличить динамический диапазон для полезного сигнала. Уровень сигнала на входе приёмника без согласующего устройства, в соответствии с (8), выразится формулой

$$U_{\text{пр}} = E \cdot \frac{R_{\text{пр}}}{R_a + X_{L_a} + R_{\text{пр}}} \approx E \cdot \frac{R_{\text{пр}}}{X_{L_a}}. \quad (24)$$

В случае применения согласующего устройства имеем

$$U_{\text{пр.согл}} = E \cdot K \cdot \frac{R_{\text{пр}}}{R_a \cdot K^2 + R_{\text{пр}}}, \quad (25)$$

так как реактивная составляющая импеданса антенны оказывается скомпенсированной, а активная составляющая её импеданса и наведённая внешним полем ЭДС преобразуются с помощью входного трансформатора  $T1$ . Очевидно, что первым слагаемым в знаменателе (25) можно пренебречь

по сравнению с  $R_{\text{пр}}$ , потому что  $R_a \cdot K^2 \approx 30 \text{ Ом} \cdot \left(\frac{1}{16}\right)^2 \approx 0,12 \text{ Ом}$ , а

$R_{\text{пр}} = 50 \text{ Ом}$ . Поэтому

$$U_{\text{пр.согл}} \approx E \cdot K. \quad (26)$$

Поделив (26) на (24), имеем:

$$\frac{U_{\text{пр.согл}}}{U_{\text{пр}}} \approx \frac{X_{L_a} \cdot K}{R_{\text{пр}}} = \frac{i \cdot \omega \cdot L_a \cdot K}{R_{\text{пр}}}. \quad (27)$$

Подставив в (27) значения  $L_a = 50 \text{ мкГн}$ ,  $R_{\text{пр}} = 50 \text{ Ом}$ ,  $K = \frac{1}{16}$ ,

получим, что рассмотренная схема согласующего устройства даёт выигрыш в уровне входного сигнала на частотах выше 2,5 МГц. На частоте 1,5 МГц получается уменьшение уровня сигнала приблизительно на 4,6 дБ, а на частоте 30 МГц – увеличение уровня сигнала на 21,4 дБ. АЧХ антенны, как видно из (27) и (11), при этом линейно возрастает с частотой. Такая форма амплитудно – частотной характеристики антенны имеет свои преимущества ввиду наличия достаточно высокого уровня шума в эфире в низкочастотной области КВ диапазона, что побуждает разработчиков приёмной аппаратуры в некоторых случаях оснащать свои комплексы корректирующими фильтрами.

Если требуется, чтобы КСВ антенны был близким к 1, то схему согласующего устройства (в соответствии с рисунком 5) следует дополнить резистором, как представлено на рисунке 6.

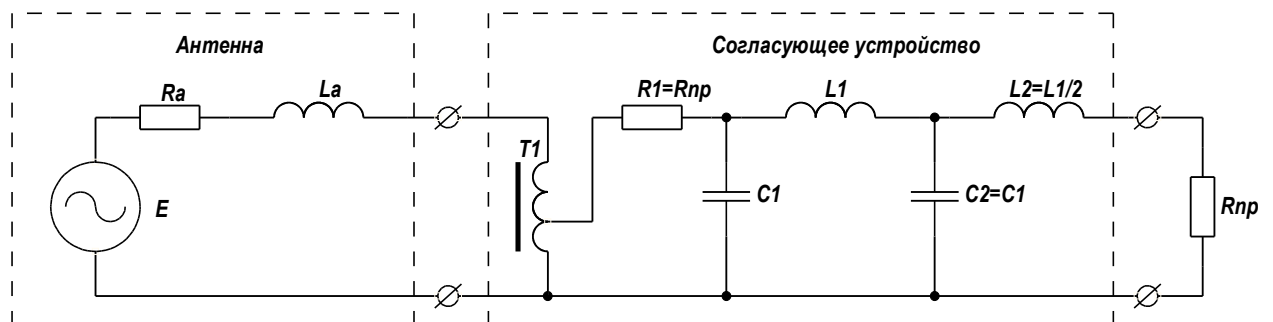


Рисунок 6

Платой за хороший КСВ в данном случае будет являться снижение уровня сигнала на 6 дБ во всём рабочем диапазоне частот.

Таким образом, изложенный выше подход к расчёту и построению согласующего устройства для магнитной антенны позволяет использовать антенну этого типа для приёма широкополосных сигналов.

В настоящее время ведётся разработка триортогональной магнитной антенны, фотография экспериментального образца которой представлена на рисунке 7. Уже получен патент на полезную модель такой антенны и проводятся дальнейшие исследования с целью повышения её эксплуатационных характеристик.



Рисунок 7

### Литература

1. Терлецкий Я.П., Рыбаков Ю.П. Электродинамика. М.: Высшая школа, 1990. - 352с.
2. Краснопевцев В.А. Математические методы физики./ Новосибирский государственный технический университет. - Новосибирск: - изд. НГТУ, 2003. – 244 с.

## **МОНТАЖ $\mu$ MODULE В КОРПУСЕ LGA И НЕКОТОРЫЕ ПРОБЛЕМЫ ПРИ МОНТАЖЕ МНОГОСЛОЙНЫХ ПЕЧАТНЫХ ПЛАТ**

**Т.А. Уфимцева**

*ОАО «Барнаульское специальное конструкторское бюро «Восток»*

На печатных платах тех изделий, которые разрабатываются на нашем предприятии, используется элементная база различных производителей.

Производители заинтересованы в том, чтобы потребители приобретали только их продукцию, поэтому свои элементы они выпускают под определённые технологии.

При разработке схем разработчики учитывают электрические характеристики радиоэлементов, но не берут во внимание технологические проблемы.

Проблемой для технологов является то, что очень сложно подобрать оптимальный режим пайки платы, на которой рядом могут быть установлены, например, микросхема с 1153 шариковыми выводами (BGA-корпус), с шагом 1мм в бессвинцовом исполнении, и микросхема в корпусе с шагом 0,8мм и свинцовыми шариковыми выводами.

Чтобы качественно смонтировать такую плату, надо учесть особенности пайки всех компонентов на ней. Чтобы припаять микросхему с 1153 выводами, в зоне пайки необходима минимальная температура 245°C, а для рядом стоящей микросхемы, со свинцовыми выводами с шагом 0,8 мм, максимальная температура перегрева корпуса - 235°C.

Толщина трафарета не меняется в зависимости от элемента, под который необходимо нанести паяльную пасту, поэтому при выборе оптимального режима для пайки всей платы приходится идти на всяческие ухищрения: надевать всевозможные экраны из алюминиевой фольги на критичные к перегреву элементы, и ориентироваться на самый крупный и сложный для пайки компонент на конкретной печатной плате.

Новыми для нашего предприятия являются применяемые микросхемы Linear Technology  $\mu$ Module в корпусе LGA. Нормативных документов на их



установку нет, поэтому при работе с ними применяется переводная литература. Модули отличаются тем, что шариков на их выводах нет. Паяльная паста, которая наносится через трафарет на печатную плату под установку элемента, расходуется на его облуживание. Элемент прилипает к контактными площадкам на печатной плате, и, при недостаточном количестве паяльной пасты, может отсутствовать электрический контакт.

В рекомендуемых документах для нашей отрасли, согласно 5.1.2 ОСТ 107.460092.24-93, монтажные медные проводники и жилы кабелей, не имеющие покрытия, должны быть подвергнуты обязательному лужению.

Золочёные поверхности выводов компонентов должны подвергаться обязательному лужению во избежание хрупкости паяных соединений из-за интенсивного образования интерметаллидов и разупрочнения паяных швов в результате миграции золота.

Рекомендации фирмы Linear Technology по установке элементов  $\mu$ Module заключаются в следующем:

- через трафарет нанести паяльную пасту на поверхность  $\mu$ Module;
- для уменьшения образования пустот, рекомендуется равномерно прогреть  $\mu$ Module с нанесённой на него паяльной пастой.

Для этого устанавливают  $\mu$ Module с нанесённой на него паяльной пастой в низкотемпературную лабораторную электропечь Snol 58/350 при комнатной температуре.

Включают печь и ждут, пока она выйдет на режим  $T = (150 + 10) ^\circ\text{C}$ .

Далее при  $T = (150 + 10) ^\circ\text{C}$  в течение 2 - 2,5 минут подсушивают пасту, нанесённую на микросхему.

Полученный таким образом компонент устанавливается на печатную плату в пределах одной рабочей смены, то есть в течение 6 - 8 часов. Монтаж производят совместно с остальными элементами на плате. Проблема припайки компонента отсутствует. Режим подобрать просто, так как на компонент наносится та же паяльная паста, при помощи которой производится монтаж всей платы. Получается, что технология адаптирована

под конкретные условия производства. Однако промыть остатки флюса из-под этого корпуса затруднительно, очень низкая посадка. Отказов по припайке этих микросхем пока не было.